

Docket No.: 67161-039

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Hideto HIDAKA :
Serial No.: : Group Art Unit:
Filed: July 10, 2003 : Examiner:
For: SEMICONDUCTOR MEMORY DEVICE WITH MAGNETIC DISTURBANCE REDUCED

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

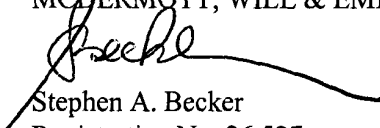
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-026395, filed February 3, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: July 10, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-039
Hideto Hidaka
July 10, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月 3日

出 願 番 号

Application Number:

特願2003-026395

[ST.10/C]:

[JP 2003-026395]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3011958

【書類名】 特許願

【整理番号】 542921JP01

【提出日】 平成15年 2月 3日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配列される複数のメモリセル、

各メモリセル列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線、および

各前記ビット線に対応して配置され、各々が書込データに応じた電流に対応のビット線に供給する複数のビット線ドライブ回路を備え、各前記ビット線ドライブ回路は、隣接列の選択時に前記隣接列への書込データに応じて対応のビット線に第 1 の電流を供給する第 1 のドライブ回路と、対応の列の選択時に前記対応の列への書込データに応じて第 2 の電流を対応のビット線に供給する第 2 のドライブ回路とを含む、半導体記憶装置。

【請求項 2】 アドレス信号に従って前記複数のビット線から所定数のビット線を並列に選択する列選択回路をさら備え、前記列選択回路は、前記所定数のビット線の間それぞれには、少なくとも 1 本のビット線が配置されるように前記所定数のビット線を並列に選択し、

前記並列に選択された複数のビット線に対して並行してそれぞれデータを伝達する書込回路をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 1 の電流は、前記第 2 の電流よりも小さい、請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 前記第 1 のドライブ回路は、前記隣接列の選択時、前記隣接列に流れる電流と反対方向に前記第 1 の電流を流す、請求項 1 または 2 記載の半導体記憶装置。

【請求項 5】 前記列選択回路は、1 本のビット線を間に挟む 2 本のビット線を同時に選択する回路を少なくとも備え、

前記第 1 のドライブ回路は、行方向において両側に隣接するビット線に対する書込データの論理の一致／不一致を検出する検出器と、前記両側に隣接するビット線に対する列選択信号と前記検出器の出力信号とに従って前記第 1 の電流を供給するドライバとを備える、請求項 2 記載の半導体記憶装置。

【請求項 6】 前記第 1 のドライブ回路は、行方向に隣接するビット線がともに選択されかつ前記隣接するビット線に対する書込データの論理レベルが異なるときには、前記第 1 の電流の供給を停止する、請求項 2 記載の半導体記憶装置。

【請求項 7】 前記第 1 のドライブ回路は、行方向に隣接するビット線がともに選択されたかつ前記隣接するビット線に対する書込データの論理レベルが同一のときには、前記第 1 の電流を増大させる、請求項 2 記載の半導体記憶装置。

【請求項 8】 行列状に配列される複数の磁気メモリセル、
前記複数の磁気メモリセルの列に対応して配置され、それぞれに対応の列のメモリセルが接続する複数のビット線、および

アドレス信号に従って、前記複数の磁気メモリセルから並行して所定数のメモリセル列を選択する列選択回路を備え、前記所定数のメモリセル列の間には少なくとも 1 本のビット線が配置され、

各前記ビット線に対応して配置され、書込データと前記列選択回路からの列選択信号とに応じて、対応のビット線に電流を供給する複数のビット線ドライブ回路を備える、半導体記憶装置。

【請求項 9】 各前記ビット線ドライブ回路は、対応のビット線の両側に配置され、動作時、相補的に動作して互いに逆方向に電流を対応のビット線に流す右および左ドライブ回路を備える、請求項 1 または 8 記載の半導体記憶装置。

【請求項 10】 各前記ビット線ドライブ回路は、隣接列のビット線の選択時、該隣接列を流れる電流により誘起される磁場が対応の列の磁気メモリセルに及ぼす影響を相殺する様に対応のビット線に電流を供給するキャンセル回路を含む、請求項 8 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、磁性体の磁化方向により情報を記憶する磁気メモリセルを有する磁気半導体記憶装置に関する。より特定的には、この発明は、磁気半導体記憶装置のデータ書込時の磁気ディスターバンスを低減

するための構成に関する。

【0002】

【従来の技術】

低消費電力で不揮発的にデータを記憶することのできる記憶装置として、MRAM（マグネティック・ランダム・アクセス・メモリ）が注目されている。このMRAMは、外部から印加される磁場によって、強磁性体内に発生した磁化が、外部磁場を取除いた後にも強磁性体内に残留する特性を利用する。すなわち、この強磁性体の残留磁化の磁化方向を記憶データに応じて変更することにより、データを記憶する。このようなMRAMのメモリセルのデータ記憶素子としては、巨大磁気抵抗素子（ジャイアント・マグネトoreジスタンス素子；GMR素子）、超巨大磁気抵抗素子（コロッサル・マグネトoreジスタンス素子；CMR素子）およびトンネル磁気抵抗素子（トンネル・マグネトoreジスタンス素子；TMR素子）などが知られている。

【0003】

MRAMセルのデータ記憶部の構造としては、絶縁体膜を間に挟んで2つの磁性体層を積層する。これらの2つの磁性体層のうち一方の磁性体層の磁化方向を参照磁化方向とし、他方の磁性体の磁化方向を記憶データに応じて変更する。これらの磁性体の磁化方向の一致／不一致に応じて磁気抵抗が異なり、応じて、この記憶部を介して流れる電流が異なる。この記憶部の磁性体層を介して流れる電流を検出することによりデータの読出を行なう。データ書込時においては、電流により誘起される磁界により、データ記憶用磁性体層の磁化方向を記憶データに応じて設定する。

【0004】

このようなMRAMの構成の一例は、たとえば、特許文献（特開2002-170375号公報）に示されている。

【0005】

この特許文献1においては、メモリセルのデータ記憶素子として、TMR素子が用いられる。この特許文献1のTMR素子においては、保磁力の大きなハード層と保磁力の小さなソフト層がトンネル絶縁膜を間に挟んで対向して配置される

。このハード層の磁化方向により、データ“0”および“1”を記憶する。

【0006】

データ書込時においては、書込配線（書込ワード線）に電流を所定の方向に流す。ソフト層はこの書込配線を流れる電流による誘起磁界によりその磁化方向が決定される。一方、ハード層は、書込配線を流れる電流による誘起磁界では、その磁化方向は変化しない。このとき、ハード層が接続するビット線に記憶データに応じた方向に電流を流す。この書込配線およびビット線を流れる電流が誘起する直交磁界の合成磁界により、ハード層の磁化方向が決定され、応じてデータが記憶される。

【0007】

この特許文献1のTMR素子の記憶データの読出は、3段階で行なわれる。まず、書込配線に一定の方向に電流を流して、ソフト層の磁化方向を、所定の方向に設定する。次いで、アクセストランジスタを介して、このTMR素子を接地ノードに電氣的に接続する。この状態で、ビット線に読出電流を流し、ビット線からメモリセルのTMR素子を介して流れる電流に応じた電圧を、センスアンプの第1のセンスノードに記憶する。TMR素子は、ハード層とソフト層の磁化方向が同一の場合にその磁気抵抗が小さくなり、大きな電流を流し、一方、ハード層とソフト層の磁化方向が異なる場合には磁気抵抗が大きくなり、小さな電流を流すだけである。したがって、まずこの第1段階において、ハード層の磁化方向がソフト層の磁化方向と同一であるか否かに応じた情報が、センスアンプの第1のセンスノードに記憶される。

【0008】

次いで、ソフト層の磁化方向を、書込配線に電流を逆方向に流して反転する。この状態で再びTMR素子を接地ノードに結合し、ビット線に流れる電流（ビット線からTMR素子を介して流れる電流）に応じた電圧を、センスアンプの第2のセンスノードに記憶する。

【0009】

この後、センスアンプの第1および第2のセンスノードの電圧を差動増幅することによりデータを読出す。すなわち、ハード層の磁化方向がソフト層の初期化

磁化方向と同一の場合とハード層の磁化方向がソフト層の初期化磁化方向と異なる場合とでビット線を流れる電流量が異なるため、センスアンプの第1および第2のセンスノードには、異なるレベルの電圧が格納される。これらの第1および第2のセンスノードの電圧を差動増幅することにより、TMR素子の記憶データの読出を行なう。

【0010】

ソフト層の磁化方向を初期化方向に設定し、次いで反対方向に設定するのは、TMR素子へのデータ書込時、書込配線およびビット線に、書込データに応じて電流が流れる方向が異なり、応じてソフト層の磁化方向も書込データに応じてその磁化方向が異なる可能性があり、正確にデータ読出時に、ソフト層の磁化方向を所定の一定方向に設定するためである。

【0011】

【特許文献1】

特開2002-170375号公報

【0012】

【発明が解決しようとする課題】

前述の特許文献1においては、データ読出時において、相補データをセンスノードに読みさすために、ソフト層の磁化方向を反転させている。この磁化反転時においては、書込配線を流れる電流が反転する。この書込配線の電流反転による誘導ノイズがビット線に生じ、センスアンプのセンスノードの読出電圧にノイズが重畳した場合、正確なセンス動作を行なうことができなくなる。このビット線上の誘導ノイズによるデータの誤読出を防止するために、前述の特許文献1においては、ソフト層の磁化反転時に誘導ノイズがセンスアンプのセンスノードに伝達するのを防止する対策を設けている。この防止対策としては、ビット線を磁化反転時フローティング状態に設定する、センスアンプとビット線との間にインダクタンスを接続し、誘導ノイズを低減する、および磁化反転時ビット線の接地ノードに結合し、誘導ノイズを接地ノードに放電するなどが提案されている。

【0013】

この特許文献1においては、データ読出時において、ソフト層の磁化反転時の

誘導ノイズがデータ読出に影響を及ぼすのを防止することを考察している。しかしながら、データ書込時において書込配線およびビット線を流れる電流が誘起する磁界が、隣接列または隣接行のメモリセルのTMR素子に対して及ぼす影響については何ら考慮していない。これは、ハード層の磁化反転は、書込配線とビット線を流れる電流の誘起する磁界の合成磁界により生じるだけであり、ビット線または書込配線の一方の電流が誘起する磁界では、ハード層の磁化反転は生じないことを前提としているためである。

【0014】

しかしながら、メモリセルが高密度に配置され、隣接メモリセルの間隔が小さくなった場合、書込配線および／またはビット線を流れる電流が誘起する磁界が隣接メモリセルに対しても影響を及ぼす。このようなリーク磁界は、非選択メモリセルに対する磁氣的なノイズ（磁場干渉；磁気ディスターバンス）となる。ビット線および書込配線には、一定の大きさの電流が流れており、したがって、このような磁氣的なノイズにより、隣接非選択メモリセルの書込データが反転する状態が生じる。

【0015】

また、複数ビットのデータを書込むとき、隣接メモリセルを同時に選択した場合、隣接ビット線に書込電流を供給する必要がある。この場合、書込データが論理レベルが反対の場合、逆方向に、選択ビット線に電流を供給する必要が生じ、磁界の相互干渉により、所望の大きさの磁界を選択メモリセルに供給することができず、正確に、データの書込を行なうことができなくなる場合が生じる。

【0016】

上述の特許文献1においては、このような隣接メモリセルに対する磁氣的ノイズによる誤書込の問題および複数ビットデータの並列書込時の磁場干渉については何ら考慮していない。

【0017】

それゆえ、この発明の目的は、データ書込時の磁氣的ノイズ、すなわち、磁場ディスターバンスを低減することのできる半導体記憶装置を提供することである。

【 0 0 1 8 】

【課題を解決するための手段】

この発明の第 1 の観点に係る半導体記憶装置は、行列状に配列される複数のメモリセルと、各メモリセル列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線と、各ビット線に対応して配置され、各々が書込データに応じた電流に対応のビット線に供給する複数のビット線ドライブ回路を含む。各ビット線ドライブ回路は、隣接列の選択時には、隣接列に対する書込データに応じて対応のビット線に第 1 の電流を供給する第 1 のドライブ回路と、対応の列の選択時に、この対応の列に対する書込データに応じた第 2 の電流を対応のビット線に供給する第 2 のドライブ回路とを含む。

【 0 0 1 9 】

この発明の第 2 の観点に係る半導体記憶装置は、行列状に配列される複数の磁気メモリセルと、これら複数の磁気メモリセルの列に対応して配置され、それぞれに対応の列のメモリセルが接続する複数のビット線と、アドレス信号に従って、複数の磁気メモリセル列から並行して所定数のメモリセル列を選択する列選択回路と、各ビット線に対応して配置され、書込データと列選択回路からの列選択信号とに従って、対応のビット線に電流を供給する複数のビット線ドライブ回路を含む。列選択回路は、所定数のメモリセル列の間それぞれには少なくとも 1 本のビット線が配置されるように所定数のメモリセル列を選択する。

【 0 0 2 0 】

ビット線ドライブ回路において、隣接列の選択時に隣接列に対する書込データに応じて対応のビット線に第 1 の電流を供給することにより、1 または複数の隣接列に対して同時にデータの書込が行なわれる場合においても、磁場干渉を相殺する様にビット線に電流を流すことができ、正確にデータを書込むことが出来る。

【 0 0 2 1 】

また、複数ビットのデータを書込むときには、少なくとも 1 本のビット線が間に配置されるようにビット線を選択することにより、隣接列のビット線の書込電流による磁場干渉により、書込磁界強度不良が生じることがなく、正確に選択メ

メモリセルに対して所望の大きさの磁界を供給することができ、正確にデータを書込むことができる。

【0022】

【発明の実施の形態】

【実施の形態1】

図1は、この発明において用いられるメモリセルの構成を概略的に示す図である。図1において、メモリセルMCは、記憶データに応じてその磁気抵抗が変化する可変磁気抵抗素子VREと、データ読出時、可変磁気抵抗素子VREを通過するデータ読出電流Isの経路を形成するためのアクセス素子ATRとを含む。アクセストランジスタATRは、典型的には、電界効果型トランジスタで形成され、図1においては、このアクセス素子ATRは、NチャネルMISトランジスタで形成される。

【0023】

可変磁気抵抗素子VREは、磁気トンネル接合を有するトンネル磁気抵抗素子、すなわちTMR素子で形成される。

【0024】

可変磁気抵抗素子VREは、その一端はビット線BLに接続され、他端がアクセス素子ATRに接続される。アクセストランジスタATRは、読出ワード線RWL上の信号電位に応答して選択的に導通し、導通時、可変磁気抵抗素子VREの他端を、固定電位Vss（たとえば接地電圧GND）に結合する。

【0025】

このメモリセルMCに対し、さらに、書込ワード線WWLが設けられる。この書込ワード線WWLは、データ書込時に電流が予め定められた一定の方向に供給される。読出ワード線RWLは、データ読出時、選択状態に駆動される。ビット線BLへは、データ書込時および読出時にこのメモリセルMCの記憶データに対応する電気信号（電流）が伝達される。

【0026】

図2は、図1に示す可変磁気抵抗素子VREの断面構造を概略的に示す図である。図2において、可変磁気抵抗素子VREは、固定された一定の磁化方向を有

する固定磁化層 F L と、外部からの印加磁界に応じた方向に磁化される自由磁化層 V L と、これらの固定磁化層 F L および自由磁化層 V L の間に配置されるトンネル絶縁膜 T B と、固定磁化層 F L をアクセス素子 A T R に結合するローカル配線 A F L を含む。このローカル配線 A F L 下部には、書込ワード線 W W L が配置される。

【 0 0 2 7 】

固定磁化層 F L および自由磁化層 V L は、ともに、強磁性体層で形成される。自由磁化層 V L の磁化方向は、書込データ論理レベルに従って、固定磁化層 F L の磁化方向と同一または反対方向に設定される。固定磁化層 F L 、トンネル絶縁膜 T B および自由磁化層 V L により磁気トンネル接合が形成される。

【 0 0 2 8 】

データ読出時においては、読出ワード線 R W L を選択状態へ駆動して、アクセス素子 A T R を導通状態に設定する。このアクセス素子 A T R が導通すると、ローカル配線 A F L が固定電位ノードに結合され、ビット線 B L 、可変磁気抵抗素子 V R E および固定電位ノードの経路に、データ読出電流 I_s を流すことができる。

【 0 0 2 9 】

可変磁気抵抗素子 V R E の電気抵抗は、固定磁化層 F L および自由磁化層 V L のそれぞれの磁化方向の相対関係に応じて変化する。具体的には、固定磁化層 F L の磁化方向（図 2 において左方向）と自由磁化層 V L の磁化方向とは同一（平行）の場合には、これらの固定磁化層 F L および自由磁化層 V L の磁化方向が反対（反平行）である場合に比べて、この可変磁気抵抗素子 V R E の電気抵抗が小さくなる。

【 0 0 3 0 】

したがって、自由磁化層 V L を、記憶データに応じた方向に磁化すると、データ読出電流 I_s を流した場合、可変磁気抵抗素子 V R E を流れる電流量が記憶データに応じて異なる。したがって、たとえば、ビット線 B L を一定電圧にプリチャージした後に、このビット線 B L から可変磁気抵抗素子 V R E にデータ読出電流 I_s を流すと、この可変磁気抵抗素子 V R E を流れる電流量に応じてビット線

BLの電圧が変化する。このビット線BLの電圧を検知することにより、メモリセルの記憶データを読出すことができる。書込ワード線WWLは、データ読出時においては用いられない。

【0031】

図3は、メモリセルMCへのデータ書込時の誘起磁界を概略的に示す図である。メモリセルMCの構成は、図2に示すメモリセルMCの構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0032】

データ書込時においては、アクセス素子ATRは、読出ワード線RWLが非選択状態に維持され、応じて、非導通状態に維持される。書込ワード線WWLに対しては、一定方向の電流が供給され、書込ワード線磁界H(WWL)が生成される。書込ワード線WWLを流れる電流により、図3においては、1例として、書込ワード線WWLと直交する平面内において左方向に回転する磁界が、書込ワード線磁界H(WWL)として形成される。

【0033】

一方、ビット線BLに対しては、書込データに応じて電流 $+I_w$ または $-I_w$ が流される。図の右方向に電流 $+I_w$ が流れる場合には、電流 $+I_w$ が流れる方向と直交する平面内において図の実線で示す様に、右方向に回転する磁界H(BL)が誘起される。一方、破線で示すように左向きの電流 $-I_w$ が流れる場合には、破線で示す様に、逆方向に回転する磁界H(BL)がビット線BLを中心として誘起される。これらの磁界H(WWL)およびH(BL)の合成磁界により、自由磁化層VLの磁化方向が決定される。

【0034】

図4は、データ書込時における可変磁気抵抗素子の磁化状態を説明するための図である。この図4において、横軸H(EA)は、可変磁気抵抗素子VREの自由磁化層VLにおける磁化容易軸(EA: イージー・アクシス)方向に印加される磁界を示す。縦軸H(HA)は、自由磁化層VLにおいて磁化困難軸(HA: ハード・アクシス)方向に作用する磁界を示す。これらの磁界H(EA)およびH(HA)は、ビット線BLおよび書込ワード線WWLをそれぞれ流れる電流に

よって誘起される 2 つの磁界 H (WWL) および H (BL) の一方ずつにそれぞれ対応する。

【0035】

メモリセル MC において、固定磁化層 FL の固定された磁化方向は、磁化容易軸 EA に沿っている。一方、自由磁化層 VL は、記憶データを論理レベル (“1” および “0”) に応じて、磁化容易軸方向に沿って固定磁化層 FL と平行 (同一) または反平行 (反対) 方向に磁化される。この自由磁化層 VL の 2 種類の磁化方向にそれぞれ対応する可変磁気抵抗素子 VRE の電気抵抗を $R1$ および $R0$ (ただし、 $R1 > R0$) でそれぞれ示す。このメモリセル MC は、この自由磁化層 VL の 2 種類の磁化方向に対応して 1 ビットのデータ (“1” または “0”) を記憶することができる。

【0036】

メモリセルの動作点すなわち可変磁気抵抗素子 VRE へ印加される合成磁界は、図 4 において黒丸印で示す。書込ワード線 WWL に印加される書込電流の方向は一定であり、従って、メモリセルの可変磁気抵抗素子 VRE に印加される合成磁界の動作点は、磁化容易軸 H (EA) の上側または下側の 2 点である。

【0037】

データ書込時においては、磁界 H (EA) および H (HA) の合成磁界が、この図 4 に示すアステロイド特性線の外側の領域に達する場合に、この自由磁化層 VL の磁化方向を決定することができる。この磁界 H (EA) および H (HA) の合成磁界、すなわちビット線書込磁界 H (BL) および書込ワード線磁界 H (WWL) の合成磁界が、アステロイド特性線の内側の領域に相当する強度の場合には、自由磁化層 VL の磁化方向は変化しない。自由磁化層 VL に対して磁化困難軸方向の磁界を印加することにより、磁化容易軸 EA に沿った磁化方向を変化させるのに必要な磁化しきい値を低減することができる。

【0038】

この図 4 に示すようなアステロイド特性線および動作点を設定した場合には、データ書込対象のメモリセルにおいて磁化容易軸方向のデータ書込磁界強度は HWR となるように、ビット線 BL および／または書込ワード線 WWL を流れるデ

ータ書込電流の値が設計される。一般に、データ書込磁界強度 HWR は、自由磁化層の磁化方向の切換に必要なスイッチング磁界 HSW と、マージン ΔH との和で示される。すなわち、 $HWR = HSW + \Delta H$ の関係が満たされる。

【0039】

したがって、メモリセルの記憶データ、すなわち可変磁気抵抗素子 VRE の自由磁化層の磁化方向を書換えるためには、書込ワード線 WWL およびビット線 BL 両者に所定レベル以上のデータ書込電流を流す必要がある。この書込ワード線 WWL およびビット線 BL を流れるデータ書込電流より誘起される磁界 $H(BL)$ および $H(WWL)$ の合成磁界により、可変磁気抵抗素子 BRE の自由磁化層 VL は、磁化容易軸 EA に沿ったデータ書込磁界の向きに応じて、固定磁化層 FL の磁化方向と同一（平行）もしくは反対（反平行）に磁化される。通常、書込ワード線 WWL には、書込ワード線磁界 $H(WWL)$ が、磁化困難軸方向の磁界 $H(HA)$ となるように電流が流される。

【0040】

図5は、この発明の実施の形態1の概念的構成を示す図である。図5においては、書込ワード線 $WWLa$ および $WWLb$ と、ビット線 BLa および BLb を示す。書込ワード線 $WWLa$ とビット線 BLa および BLb の交差部に対応してメモリセルの可変抵抗素子 $VRE1$ および $VRE2$ が配置され、書込ワード線 $WWLb$ とビット線 BLa および BLb の交差部に対応して可変抵抗素子 $VRE3$ および $VRE4$ が配置される。

【0041】

今、書込ワード線 $WWLa$ に、図の右から左方向に沿ってデータ書込電流 $I_W(WWL)$ を流し、ビット線 BLa に図の上から下方向に沿ってデータ書込電流 $I_W(BL)$ を流す場合を考える。ビット線 BLa には、このデータ書込電流 $I_W(BL)$ により、磁界が誘起され、可変抵抗素子 $VR1$ に対し、ワード線方向に沿った書込磁界 $H(BL)$ が印加される。同様、書込ワード線 $WWLa$ のデータ書込電流 $I_W(WWL)$ により磁界が発生し、可変抵抗素子 $VR1$ に対し、ビット線方向に沿った磁界 $H(WWL)$ が印加される。これらの磁界 $H(BL)$ および $H(WWL)$ の合成磁界により、可変抵抗素子 $VRE1$ の自由磁化層の磁化

方向が決定される。

【 0 0 4 2 】

可変抵抗素子 $VRE1$ に隣接するメモリセルの可変抵抗素子 $VRE2$ に対して、同様、書込ワード線 $WWLa$ を流れる書込電流 I_W (WWL) により、磁界 H (WWL) が印加される。この可変抵抗素子 $VRE2$ に対し、ビット線 BLa を流れるデータ書込電流 I_W (BL) により、リーク磁界 HLK が印加される。このリーク磁界 HLK および書込ワード線の誘起磁界 H (WWL) の合成磁界が、図4に示すアステロイド特性線の外部にまで延びた場合、可変抵抗素子 $VRE2$ の磁化方向が、書換えられる可能性がある。特に、高密度にメモリセルが配置され、ビット線 BLa および BLb の間隔が狭くなった場合、このリーク磁界 HLK の強度が高くなり、可変抵抗素子 $VRE2$ の磁化方向が書換えられる磁場デイスターバンスが生じる。このリーク磁界 HLK の影響を相殺するために、ビット線 BLb に、選択ビット線 BLa を流れるデータ書込電流 I_W (BL) と逆方向にキャンセル電流 ΔI_W を供給する。このキャンセル電流 ΔI_W により、ビット線 BLb に、リーク磁界 HLK を相殺する方向に磁界 HCA が生成され、リーク磁界 HLK の影響を相殺することができ、可変抵抗素子 $VRE2$ における磁化方向の書換を防止することができる。

【 0 0 4 3 】

このキャンセル電流 ΔI_W の大きさは、データ書込電流 I_W (BL) の電流量の10から30%程度の大きさであり、図4に示すアステロイド特性線の内部に磁界 H (WWL)、 HLK および HCA の合成磁界が存在する大きさに設定される。

【 0 0 4 4 】

このビット線 BLb に、キャンセル電流 ΔI_W が流れると、キャンセル磁界 HCA が、書込ワード線 $WWLb$ に接続される可変抵抗素子 $VRE3$ および $VRE4$ にも印加される。しかしながら、書込ワード線 $WWLb$ は、非選択状態であり、また、キャンセル磁界 HCA が、ビット線 BLa からのリーク磁界 HLK と相殺し合い、これらの可変抵抗素子 $VRE3$ および $VRE4$ においては、磁化方向の変化は生じない。

【 0 0 4 5 】

すなわち、選択ビット線に隣接する非選択ビット線に、データ書込電流と逆方向に小さなキャンセル電流を流し、リーク磁界をキャンセルする。これにより、磁気ディスターバンスを解消し、確実に、選択メモリセルに対してのみ、データの書込を行なうことができる。

【 0 0 4 6 】

図 6 は、ビット線 B L a および B L b の誘起磁界を概略的に示す図である。ビット線 B L a を流れるデータ書込電流により、図 6 において反時計方向の磁界が、ビット線 B L a の周りに誘起される。このビット線 B L a のデータ書込電流による誘起磁界により、可変抵抗素子 V R E 1 においては、その磁化方向が設定される。このビット線 B L a の誘起する磁界により、隣接列の可変抵抗素子 B R E 2 に対しても、同様リーク磁界 H L K が印加される。このリーク磁界 H L K は、図 6 において右向き方向の磁化を、可変抵抗素子 V R E 2 において生じさせる方向を有する。この状態において、ビット線 B L b に、ビット線 B L a を流れるデータ書込電流と反対方向にキャンセル電流を流し、ビット線 B L b の周りに、時計方向の磁界を生成する。このビット線 B L b の誘起するキャンセル磁界は、可変抵抗素子 V R E 2 において、左向き方向の磁化を促進する磁界である。したがって、キャンセル磁界 H C A およびリーク磁界 H L K の影響は、この可変抵抗素子 V R E 2 において相殺され、可変抵抗素子 V R E 2 に印加される合成磁界は、図 4 に示すアステロイド特性線内部領域となり、可変抵抗素子 V R E 2 の磁化方向は変化しない。

【 0 0 4 7 】

このキャンセル磁界 H C A による磁場ディスターバンスの解消のためには、可変抵抗素子 V R E 2 においてリーク磁界 H L K の影響が相殺され、かつ隣接列の非選択可変抵抗素子 V R E 2 における合成磁界が、図 4 に示すアステロイド特性線内部に存在すればよい。この隣接ビット線 B L b を流れるキャンセル電流が誘起するキャンセル磁界 H C A は、データ書込電流が誘起する書込磁界よりも十分小さく、このキャンセル磁界 H C A がリーク磁界 H L K よりも大きい場合においても、可変抵抗素子 V R E 2 においては、磁化方向の変化は生じない。

【 0 0 4 8 】

すなわち、本実施の形態 1 においては、選択列のビット線に隣接するビット線に、選択ビット線を流れるデータ書込電流よりも小さなキャンセル電流を、データ書込電流と逆方向に流し、選択ビット線からのリーク磁界をキャンセルする。

【 0 0 4 9 】

図 7 は、この発明の実施の形態 1 に従う半導体記憶装置の全体の構成を概略的に示す図である。この半導体記憶装置 1 は、外部からの制御信号（コマンド）CMD およびアドレス信号 ADD に従って、書込データ DIN および読出データの出力を実行する。図 7 においては、データ書込に関連する部分の構成を示し、データ読出に関連する部分の構成は省略する。この半導体記憶装置 1 におけるデータ書込および読出動作は、たとえば外部から与えられるクロック信号 CLK に同期して実行される。しかしながら、この半導体記憶装置 1 においては、メイン制御回路 5 により、内部で動作タイミングが決定されてもよい。

【 0 0 5 0 】

半導体記憶装置 1 は、制御信号（コマンド）CMD に従ってこの半導体記憶装置 1 の全体の動作を制御するメイン制御回路 5 と、行列状に配列される複数のメモリセルを有するメモリアレイ 10 とを含む。メモリアレイ 10 のメモリセル行に対応して読出ワード線 RWL および書込ワード線 WWL が配置される。メモリセル列に対応してビット線 BL が配置される。

【 0 0 5 1 】

書込ワード線 WWL および読出ワード線 RWL は、それぞれの一端が固定電位 V_{ss} （接地電圧 GND）に結合される。

【 0 0 5 2 】

半導体記憶装置 1 は、さらに、メイン制御回路 5 の制御の下に、アドレス信号 ADD に含まれるロウアドレス信号 RA に従ってメモリアレイ 10 の選択行に対応する書込ワード線 WWL または読出ワード線 RWL を選択状態へ駆動する行選択回路 20 と、メイン制御回路 5 の制御の下にアドレス信号 ADD に含まれるコラムアドレス信号 CA をデコードし、列選択信号を生成する列選択回路 30 と、ビット線 BL に、データ書込時書込データ電流およびキャンセル電流を供給する

書込制御回路 5 0 R および 5 0 L を含む。これらの書込制御回路 5 0 R および 5 0 L においては、ビット線 B L それぞれに双方向にデータ書込電流およびキャンセル電流を供給することができるように、各ビット線 B L に対応してビット線ドライバ回路が設けられる。

【 0 0 5 3 】

この書込制御回路 5 0 R および 5 0 L に隣接して、データの読出を行なうセンスアンプおよび読出電流を供給する読出制御回路が設けられるが、図 7 においては、このデータ読出に関連する部分の構成は示していない。

【 0 0 5 4 】

図 8 は、図 7 に示す書込制御回路 5 0 R および 5 0 L の構成および動作を概念的に示す図である。図 8 においては、ビット線 B L 1 - B L 5 を代表的に示す。書込制御回路 5 0 L は、ビット線 B L 1 - B L 5 それぞれに対応して設けられるビット線電流ドライバ D V L 1 - D V L 5 を含む。書込制御回路 5 0 R は、ビット線 B L 1 - B L 5 それぞれに対応して設けられるビット線電流ドライバ D V R 1 - D V R 4 を含む。これらのビット線電流ドライバ D V L 1 - D V L 5 および D V R 1 - D V R 5 は、それぞれ、書込データと列選択信号とに従って、対応のビット線の充電または放電を選択的行なう。

【 0 0 5 5 】

今、ビット線 B L 3 が選択され、ビット線電流ドライバ D V L 3 が、このビット線 B L 3 に電流を供給し、ビット線電流ドライバ D V R 3 がビット線 B L 3 を放電する状態を考える。この状態においては、データ書込電流 $I_W(BL)$ が、ビット線電流ドライバ D V L 3 からビット線電流ドライバ D V R 3 へ流れる。このときには、ビット線 B L 2 においては、ビット線電流ドライバ D V R 2 からビット線電流ドライバ D V L 2 へ、キャンセル電流 $-\Delta I_W(BL)$ を流し、またビット線 B L 4 においては、ビット線電流ドライバ D V R 4 からビット線電流ドライバ D V L 4 へ、キャンセル電流 $-\Delta I_W(BL)$ を流す。

【 0 0 5 6 】

選択ビット線 B L 3 に隣接するビット線 B L 2 および B L 4 において、この選択ビット線 B L 3 を流れるデータ書込電流 $I_W(BL)$ と逆方向にキャンセル電

流 $-\Delta I_W(BL)$ を流すことにより、データ書込電流 $I_W(BL)$ が誘起する磁界がビット線 BL_2 および BL_4 に接続するメモリセル対する影響を、キャンセル電流が誘起する磁界により相殺することができる。これにより、データ書込時、磁場干渉に起因する誤書込を防止することができ、信頼性の高い半導体記憶装置を実現することができる。

【0057】

図9は、ビット線電流ドライバの構成の一例を示す図である。この図8に示すビット線電流ドライバ DVL_1-DVL_5 および DVR_1-DVR_5 は同一構成を有するため、図9においては、1つのビット線電流ドライバ DV を代表的に示す。

【0058】

図9において、ビット線電流ドライバ DV は、電源ノードとビット線 BL の間に並列に接続され、それぞれのゲートに制御信号 ϕ_1P および ϕ_2P を受けるPチャネルMISトランジスタ（絶縁ゲート型電界効果トランジスタ） P_1 および P_2 と、ビット線 BL と接地ノードの間に並列に接続され、それぞれのゲートに制御信号 ϕ_1N および ϕ_2N を受けるNチャネルMISトランジスタ N_1 および N_2 を含む。

【0059】

MISトランジスタ P_1 および N_1 により、ビット線 BL に対するデータ書込電流 $I_W(BL)$ が駆動される。MISトランジスタ P_2 および N_2 により、キャンセル電流 $-\Delta I_W(BL)$ が駆動される。したがって、このMISトランジスタ P_2 および N_2 のサイズ（チャネル幅とチャネル長の比、 W/L ）は、それぞれ、MISトランジスタ P_1 および N_1 のサイズよりも小さくされる。このサイズ調整により、データ書込電流 $I_W(BL)$ の10ないし30%の大きさのキャンセル電流を供給することができる。

【0060】

ビット線 BL が選択され、ビット線 BL にデータ書込電流を供給する場合には、制御信号 ϕ_1P および ϕ_1N に従ってMISトランジスタ P_1 および N_1 の一方がオン状態となり、ビット線 BL の充電または放電が行なわれる。この場合、

ビット線B Lの他方端に設けられたビット線電流ドライバが、相補的に動作し、ビット線B Lに対する電流の放電または充電を実行する。このビット線B Lへのデータ書込電流供給時においては、M I SトランジスタP 2およびN 2はともにオフ状態にある。

【0 0 6 1】

ビット線B Lに隣接するビット線が選択された場合には、M I SトランジスタN 2およびP 2の一方が、制御信号 ϕ 2 Nおよび ϕ 2 Pに従って導通し、ビット線B Lの充電または放電を行なう。このときには、このビット線B Lの他方端に設けられたビット線電流ドライバが相補的に動作し、ビット線B Lの放電または充電を行ない、このビット線B Lにキャンセル電流が流れる。

【0 0 6 2】

このキャンセル電流をビット線B Lに流すときには、M I SトランジスタP 1およびN 1は、オフ状態にある。

【0 0 6 3】

図1 0は、書込制御回路5 0 Lおよび5 0 Rの構成をより具体的に示す図である。図1 0においては、ビット線B L jに対して設けられるビット線ドライブ回路の構成を代表的に示す。

【0 0 6 4】

図1 0において、書込制御回路5 0 Lに含まれるビット線ドライブ回路B D R L jは、列選択信号C S L jと補の書込データW D Zとを受けて制御信号 ϕ 1 P Lを生成するN A N D回路6 0 Lと、列選択信号C S L jと内部書込データW Dとを受けて制御信号 ϕ 1 N Lを生成するA N D回路6 1 Lと、列選択信号C S L j - 1およびC S L j + 1と内部書込データW Dとを受けて制御信号 ϕ 2 P Lを生成する複合ゲート回路6 2 Lと、列選択信号C S L j - 1およびC S L j + 1と補の内部書込データW D Zとを受ける複合ゲート回路6 3 Lと、複合ゲート回路6 3 Lの出力信号を反転して制御信号 ϕ 2 N Lを生成する反転回路6 4 Lと、これらの制御信号 ϕ 1 P L、 ϕ 1 N L、 ϕ 2 P Lおよび ϕ 2 N Lに従ってビット線B L jを駆動するビット線電流ドライバD V L jを含む。

【0 0 6 5】

ビット線 BL_j の選択時、列選択信号 CSL_j が選択状態（Hレベル）へ駆動される。隣接ビット線 BL_{j-1} および BL_{j+1} がそれぞれ選択されるときには、列選択信号 CSL_{j-1} および CSL_{j+1} が、それぞれ、選択状態へ駆動される。これらの列選択信号は、図 7 に示す列選択回路 30 から生成される。

【0066】

内部書込データ WD および WDZ は、図 7 に示す入力データ DIN から生成される相補内部書込データである。この内部書込データ WD および WDZ は、書込イネーブル信号 WE の活性化に従って活性化されるライトドライバにより生成されてもよい。また、単に、書込データ DIN をバッファ処理して生成されても良い。

【0067】

複合ゲート 62L は、等価的に、列選択信号 CSL_{j-1} および CSL_{j+1} を受ける OR ゲートと、この OR ゲートの出力信号と内部書込データ WD を受ける NAND ゲートを含む。複合ゲート回路 63L は、等価的に、列選択信号 CSL_{j-1} および CSL_{j+1} を受ける OR ゲートと、この OR ゲートの出力信号と補の内部書込データ WDZ を受ける NAND ゲートを含む。

【0068】

ビット線電流ドライバ DVL_j は、図 9 に示すビット線電流ドライバ DV と同様の構成を有し、対応する部分には同一の参照符号を付し、その詳細説明は省略する。MIS トランジスタ $P1$ および $P2$ のゲートへ、制御信号 $\phi 1PL$ および $\phi 2PL$ がそれぞれ与えられ、MIS トランジスタ $N1$ および $N2$ のゲートへ、それぞれ、制御信号 $\phi 1NL$ および $\phi 2NL$ が与えられる。

【0069】

書込制御回路 50R に含まれるビット線ドライブ回路 $BDRR_j$ は、列選択信号 CSL_j と内部書込データ WD を受けて制御信号 $\phi 1PR$ を生成する NAND 回路 60R と、列選択信号 CSL_j と補の内部書込データ WDZ を受けて制御信号 $\phi 1NR$ を生成する AND 回路 61R と、列選択信号 CSL_{j-1} および CSL_{j+1} と補の内部書込データ WDZ とを受けて制御信号 $\phi 2PR$ を生成する複合ゲート回路 62R と、列選択信号 CSL_{j-1} および CSL_{j+1} と書込デ

タWDとを受け手制御信号 $\phi 2PR$ を生成する複合ゲート回路63Rと、複合ゲート回路63Rの出力信号を反転して制御信号 $\phi 2NR$ を生成する反転回路64Rと、これらの制御信号 $\phi 1PR$ 、 $\phi 1NR$ 、 $\phi 2PR$ および $\phi 2NR$ に従ってビット線BLjを駆動するビット線電流ドライバDVRjを含む。

【0070】

この複合ゲート回路62Rは、等価的に、列選択信号CSLj-1およびCSLj+1を受けるORゲートと、ORゲートの出力信号と補の内部書込データWDZを受けるNANDゲートを含む。複合ゲート回路63Rは、等価的に、列選択信号CSLj-1およびCSLj+1を受けるORゲートと、このORゲートの出力信号と内部書込データWDとを受けるNANDゲートを含む。

【0071】

この書込制御回路50Rに含まれるビット線ドライブ回路BDRRjは、書込制御回路50Lにおいて設けられるビット線ドライブ回路BDRLjと、その構成が、内部書込データWDおよびWDZが入換えて与えられることを除いて同じである。従って、これらのビット線ドライブ回路BDRLjおよびBDRRjは、動作時、相補的に動作し、逆方向にビット線電流を駆動する。

【0072】

キャンセル電流を生成するMISトランジスタP2およびN2をビット線の両側それぞれに配置することにより、隣接ビット線の書込データに応じた方向に正確にキャンセル電流を、対応のビット線に供給することが出来る。

【0073】

図11は、図10に示す制御信号の論理レベルを一覧にして示す図である。以下、図11を参照して図10に示すビット線ドライブ回路BDRLjおよびBDRRjの動作について説明する。

【0074】

(1) 列選択信号CSLj-1、CSLjおよびCSLj+1がすべて非選択状態のときには、NAND回路60Lおよび60Rからの制御信号 $\phi 1PL$ および $\phi 1PR$ がともにHレベル、AND回路61Lおよび61Rからの制御信号 $\phi 1NL$ および $\phi 1NR$ はともにLレベルである。また、複合ゲート62Lおよび

6 2 Rからの制御信号 $\phi 2 P L$ および $\phi 2 P R$ がともにHレベルであり、また複合ゲート6 3 Lおよび6 3 Rの出力信号がHレベルであり、応じて反転回路6 4 Lおよび6 4 Rからの制御信号 $\phi 2 N L$ および $\phi 2 N R$ がLレベルとなる。したがって、ビット線電流ドライバDVL_jおよびDVR_jにおいて、MISトランジスタP 1、P 2、N 1およびN 2は、すべてオフ状態にある。

【0 0 7 5】

(2) 次に、ビット線BL_jが選択される場合を考える。内部書込データWDがHレベルであり、“0”データの書込が行なわれる場合、補の内部書込データWDZはLレベルである。したがって、NAND回路6 0 Lからの制御信号 $\phi 1 P L$ はHレベルであり、またAND回路6 1 Lからの制御信号 $\phi 1 N L$ がHレベルとなる。列選択信号CSL_{j-1}およびCSL_{j+1}はともにLレベルであるため、制御信号 $\phi 2 P L$ および $\phi 2 N L$ はそれぞれ、HレベルおよびLレベルとなり、ともに非活性状態にある。したがって、ビット線電流ドライバDVL_jにおいては、MISトランジスタN 1が導通状態となり、残りのMISトランジスタP 2、P 1、およびN 2はすべてオフ状態にある。

【0 0 7 6】

また、書込制御回路5 0 Rのビット線ドライブ回路BDRR_jにおいては、同様、列選択信号CSL_{j-1}およびCSL_{j+1}がLレベルであるため、制御信号 $\phi 2 P R$ および $\phi 2 N R$ はHレベルおよびLレベルとなる。NAND回路6 0 Rは、内部書込データWDを受けており、したがって、制御信号 $\phi 1 P R$ がLレベルとなり、またAND回路6 1 Rからの制御信号 $\phi 1 N R$ は、補の内部書込データWDZに従ってLレベルとなる。したがって、このビット線電流ドライバDVR_jにおいては、MISトランジスタP 1がオン状態、残りのMISトランジスタP 2、N 2およびN 1がオフ状態になる。

【0 0 7 7】

したがって、ビット線BL_jにおいて“0”データ書込電流を流す場合には、ビット線電流ドライバDVR_jのMISトランジスタP 1からビット線BL_jを介して、ビット線電流ドライバDVL_jのMISトランジスタN 1へ電流が流れる。

【 0 0 7 8 】

(3) ビット線 BL_j の選択時、書込データ WD が L レベルであり、“1” 書込時には、補の内部書込データ WDZ が H レベルであるため、制御信号 $\phi 1 PL$ および $\phi 1 NL$ がともに L レベル、また制御信号 $\phi 1 PR$ および $\phi 1 NR$ がともに H レベルとなる。隣接列は非選択状態であるため、制御信号 $\phi 2 PL$ 、 $\phi 2 PR$ 、 $\phi 2 NL$ および $\phi 2 NR$ は、すべて非選択状態である。したがって、この内部書込データ WD が L レベルであり、“1” 書込が行なわれる場合には、ビット線電流ドライバ DVL_j の MIS トランジスタ $P1$ からビット線 BL_j 、およびビット線電流ドライバ DVR_j の MIS トランジスタ $N1$ を介して接地ノードへ電流が流れる。したがって、内部書込データ WD の H レベルおよび L レベルに従って、ビット線 BL_j に流れる電流の向きが異ならせることができ、可変抵抗素子の磁化方向を記憶データに応じて設定することが出来る。

【 0 0 7 9 】

(4) 隣接ビット線が選択される場合には、列選択信号 CSL_{j+1} および CSL_{j-1} の一方が H レベルに駆動され、列選択信号 CSL_j は L レベルに維持される。したがって、隣接ビット線選択時には、 $NAND$ 回路 $60L$ および $60R$ からの制御信号 $\phi 1 PL$ および $\phi 1 PR$ がともに H レベル、 AND 回路 $61L$ および $61R$ からの制御信号 $\phi 1 NL$ および $\phi 1 NR$ がともに L レベルとなり、ビット線電流ドライバ DVL_j および DVR_j において MIS トランジスタ $P1$ および $N1$ は、ともにオフ状態に維持される。

【 0 0 8 0 】

(i) この隣接ビット線選択時、内部書込データ WD が H レベルのときには、制御信号 $\phi 2 PL$ および $\phi 2 NL$ がともに L レベルとなる。また、制御信号 $\phi 2 PR$ および $\phi 2 NR$ がともに H レベルとなる。したがって、ビット線電流ドライバ DVL_j において、 MIS トランジスタ $P2$ がオン状態、 MIS トランジスタ $N2$ がオフ状態となる。一方、ビット線電流ドライバ DVR_j においては、 MIS トランジスタ $P2$ がオフ状態、 MIS トランジスタ $N2$ がオン状態となる。したがって、この状態において、ビット線 BL_j には、ビット線電流ドライバ DVL_j の MIS トランジスタ $P2$ からビット線電流ドライバ DVL_j の MIS トラ

ンジスタN2の経路で電流が流れる。

【0081】

(ii) 隣接ビット線選択時において、内部書込データWDがLレベルのときには、制御信号 $\phi 2PL$ および $\phi 2NL$ がともにHレベル、制御信号 $\phi 2PR$ および $\phi 2NR$ がともにLレベルとなる。したがって、この場合には、ビット線電流ドライバDVRjのMISトランジスタP2がオン状態となり、またビット線電流ドライバDVLjのMISトランジスタN2がオン状態となる。したがって、ビット線BLjへは、ビット線電流ドライバDVRjからビット線電流ドライバDVLjへ向かって電流が流れる。

【0082】

これにより、隣接ビット線選択時、書込データに応じて、選択隣接ビット線上に流れるデータ書込電流と逆方向にキャンセル電流を流すことができる。

【0083】

この図10に示すビット線ドライブ回路BDRLjおよびBDRRjを、書込制御回路50Lおよび50Rそれぞれにおいて各ビット線に対応して配置することにより、対応のビット線へのデータ書込電流と、隣接ビット線選択時、データ書込電流と逆方向のキャンセル電流をともに流すことができる。

【0084】

以上のように、この発明の実施の形態1に従えば、隣接ビット線選択時、対応のビット線に、磁場干渉を相殺するようにキャンセル電流を流しており、選択隣接ビット線のデータ書込電流による誘起磁界により、対応のビット線のメモリセルのデータの誤書込を確実に防止することができる。従って、ビット線データ書込電流およびワード線データ書込電流が変動して書込磁界が大きくなり、応じてリーク磁界が大きくなっても、確実に磁場干渉を抑制することができ、データ書込時の動作マージンを大きくすることが出来る。

【0085】

〔実施の形態2〕

図12は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。図12においては、複数ビットのデータD0およびD1が並

列に書込まれる。1例として、データビットD0がビット線BLcに書込まれ、ビット線BLdへは、データビットD1が書込まれる。ビット線BLcに対しては、ビット線ドライブ回路BDR L cおよびBDR R cが両端に対向して設けられ、またビット線BLdに対しては、その両端に対向してビット線ドライブ回路BDR L bおよびBDR R dが設けられる。すなわち、ビット線ドライブ回路BDR L cおよびBDR L dは、それぞれ異なる内部書込データ線に結合され、またビット線ドライブ回路BDR R cおよびBDR R dが、異なる内部書込データ線に結合される。

【0086】

ビット線BLcおよびBLdの間には、1列以上のメモリセル、すなわち1本以上のビット線BLが存在する。

【0087】

データビットD0およびD1の書込時においては、ビット線BLcおよびBLdが同時に駆動される。これらのビット線BLcおよびBLdの間には、少なくとも1本のビット線BLが存在するため、ビット線BLcおよびBLdに逆データが伝達される場合においても、これらのビット線BLcおよびBLdの誘起する磁界の相互干渉を防止することができる。したがって、逆データ書込時において、データ書込電流による磁界の相互作用により書込磁界が相殺され、書込磁界不良が生じるのを防止することができ、選択メモリセルにデータを書込むことが出来る書込磁界を生成することができ、正確にデータを書込むことができる。

【0088】

図13は、ビット線と内部書込データ線との対応を概略的に示す図である。図13においては、ビット線BL0-BL7を代表的に示す。またデータビットD0およびD1を並列に書込む場合の接続を示す。

【0089】

図13において、書込制御回路50Lにおいて、ビット線BL0-BL7それぞれに対応して、ビット線ドライブ回路BDR L 0-BDR L 7が設けられ、また、書込制御回路50Rにおいては、ビット線BL0-BL7それぞれに対応してビット線ドライブ回路BDR R 0-BDR R 7が設けられる。ビット線BL0

および B L 2 がデータビット D 1 に従って駆動され、ビット線 B L 1 および B L 3 がデータビット D 1 に従って駆動される。一方、ビット線 B L 4 および B L 6 が、データビット D 1 に従って駆動され、ビット線 B L 5 および B L 7 が、データビット D 0 に従って駆動される。これらのビット線 B L 0 - B L 7 の 8 本のビット線を単位として、同じ接続パターンが繰り返される。8 本のビット線を単位として列アドレスが 4 ずつ増分される。8 ビット線の組内での列アドレスの割当は同じであり、4 本のビット線ごとに同一列アドレスが割り当てられる。

【 0 0 9 0 】

ビット線 B L 0 - B L 3 の組とビット線 B L 4 - B L 7 の組とは、その対応のデータビットが入換えられる。ビット線 B L 0 - B L 3 に、それぞれ、列アドレス 0 - 3 が割当てられ、同様、ビット線 B L 4 - B L 7 に、列アドレス 0 - 3 が、それぞれ、割当てられる。たとえば列アドレス “ 0 ” が指定された場合には、ビット線 B L 0 および B L 4 が、それぞれ、データビット D 0 および D 1 に従って駆動される。ビット線 B L 0 - B L 7 の 8 本のビット線を単位として、データビットとビット線の対応関係が繰返される。各单位毎に列アドレスが 4 増分される。

【 0 0 9 1 】

したがって、同時に選択状態へ駆動されるビット線の間には、常に 3 本のビット線が存在し、データビット D 0 および D 1 書込時の磁場干渉を確実に抑制することできる。

【 0 0 9 2 】

なお、この図 1 3 に示す配置においては、図示しない次のビット線単位のビット線 B L 8 に対しては、列アドレス “ 4 ” が割当てられる。

【 0 0 9 3 】

図 1 4 は、ビット線とデータビットの対応関係の変更例を概略的に示す図である。図 1 4 においては、ビット線 B L 0 - B L 5 を代表的に示す。ビット線 B L 0 - B L 5 それぞれに対して、書込制御回路 5 0 L において、ビット線ドライブ回路 B D R L 0 - B D R L 5 が設けられ、書込制御回路 5 0 R においてビット線ドライブ回路 B D R R 0 - B D R R 5 が、ビット線 B L 0 - B L 5 それぞれに対

応して設けられる。2本のビット線を単位として、ビット線単位ごとに交互にデータビットD0およびD1が割当てられる。すなわち、ビット線BL0およびBL1は、データビットD0に従って駆動され、ビット線BL2およびBL3がデータビットD1に従って駆動される。ビット線BL4およびBL5が、データビットD0に従って駆動される。

【0094】

ビット線BL0およびBL1に、列アドレス0および1がそれぞれ割当てられ、またビット線BL2およびBL3に、列アドレス0および1がそれぞれ、割当てられる。ビット線BL4およびBL5に、列アドレス2および3がそれぞれ割当てられる。ビット線単位のビット線、すなわち、同一データビットに対応付けられる隣接ビット線には1異なる列アドレスが割り当てられる。2つのビット線単位ごとに、列アドレスが2増分される。

【0095】

したがって、4本のビット線を1つのグループとし、データビットD0に対応する2つのビット線のうちの一方のビット線が選択され、また、データビットD1に対応する2本のビット線のうちの一方が選択される。たとえば、列アドレスが“0”の場合には、ビット線BL0およびBL2が同時に駆動される。この場合、同時に駆動されるビット線BL0およびBL2の間には、ビット線BL1が存在し、このビット線BL0およびBL2を流れるデータ書込電流による磁場干渉を十分に抑制することができる。

【0096】

この図14に示す配置においては、隣接する4つのビット線を単位とし、隣接する2本のビット線を同一内部データ線に結合している。この場合、2N本のビット線の組を単位とし、N本のビット線をデータビットD0に関連付け、残りのN本の隣接するビット線をデータビットD1に対応付け、それらのN本のビット線にそれぞれ同じアドレスを順次割当てることにより、N本離れた位置のビット線を同時に駆動することができる。

【0097】

なお、データがMビット存在する場合、図13に示す配置の場合には、M本の

隣接ビット線を順次異なるデータビットに対応付け、M本のビット線の組におけるビット線とデータビットの対応を、 $2 \cdot M$ 本のビット線の組において鏡映対称に配置し、 $2 \cdot M$ 本単位でデータビットとビット線との対応関係を繰返す。M本ごとのビット線に同一列アドレスを割り当てる。M本のビット線の組において1本のビット線が選択される。

【0098】

図14に示す配置において、データビットがMビット用いられる場合には、隣接する2本のビット線を組として順次異なるデータビットに割当ててゐる。この場合には、 $2 \cdot M$ 本のビット線を組として、アドレスが2ずつ更新され、その $2 \cdot M$ 本のビット線においては、隣接する2本のビット線の列アドレスが互いに異なる。 $2 \cdot M$ 本のビット線の組において偶数列アドレスまたは奇数列アドレスのM本のビット線が選択される。

【0099】

上述のようなデータビットとビット線との対応付けにより、容易に、Mビットのデータの並列書込に対しても、この図13および図14に示す構成を拡張することができる。

【0100】

以上のように、この発明の実施の形態2に従えば、少なくとも1本のビット線を間においたビット線を同時に選択して複数ビットのデータを並列に書込んでゐる。したがって、データ書込電流による磁気磁界の磁場干渉による書込磁界不良が生じるのを防止することができ、正確にデータの書込を行なうことができる。

【0101】

〔実施の形態3〕

図15は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を概念的に示す図である。図15においては、ビット線BL1-BL7を代表的に示す。書込制御回路50Lにおいて、ビット線BL1-BL7に対応して、ビット線電流ドライバDVL1-DVL7が設けられ、また、書込制御回路50Rにおいて、ビット線BL1-BL7それぞれに対応して、ビット線電流ドライバDVR1-DVR7が設けられる。ビット線電流ドライバDVL1-DVL7およびD

VR1-DVR7は、それぞれ、図9に示すビット線電流ドライバDVと同様の構成を備える。

【0102】

この図15に示す構成においては、2本のビット線を間において同時に2つのビット線が選択状態へ駆動される。同時に選択されるビット線に対してデータ書込が行なわれる。従って、図15に示す構成においては、2ビットデータの書込が行なわれる。

【0103】

図15においては、ビット線BL3およびBL6が同時に駆動される場合を一例として示す。ビット線BL3へは、書込データに従って、ビット線電流ドライバDVL3からビット線電流ドライバDVR3へデータ書込電流IW(BL)1が流れる。一方、ビット線BL6においては、書込データに従って、ビット線電流ドライバDVR6からビット線電流ドライバDVL6へ、データ書込電流IW(BL)2が流れる。これらのデータ書込電流IW(BL)1およびIW(BL)2は、その大きさは同じである。書込データの論理レベルが異なるため、これらのデータ書込電流IW(BL)1およびIW(BL)2が、その方向が反対である。

【0104】

この図15に示す構成において、選択ビット線に隣接するビット線においてキャンセル電流を流す。すなわち、ビット線BL2およびBL4においては、データ書込電流IW(BL)1と反対方向にキャンセル電流 $-\Delta IW(BL)1$ を流し、ビット線BL5およびBL7においては、データ書込電流IW(BL)2と逆方向に、キャンセル電流 $-\Delta IW(BL)2$ を流す。キャンセル電流 $-\Delta IW(BL)1$ および $-\Delta IW(BL)2$ は、その大きさは、データ書込電流IW(BL)1およびIW(BL)2の大きさの10から30%の程度である。

【0105】

したがって、この図15に示す構成の場合、選択ビット線を流れるデータ書込電流により誘起された磁界のリーク電流により隣接ビット線において誤書込が生じるのを確実に防止することができる。また、同時に駆動されるビット線の間に

は、複数本（図 1 5 においては 2 本）のビット線が配置されており、論理レベルが反対のデータに従って複数のビット線を同時に駆動する場合においても、書込磁界の磁場干渉による書込磁界不良が生じるのを防止することができ、正確なデータの書込を行なうことができる。

【 0 1 0 6 】

図 1 6 は、この発明の実施の形態 3 に従う書込制御回路の構成を示す図である。図 1 6 においては、ビット線 BL_j に対応して配置されるビット線ドライブ回路 BDR_Lj および BDR_Rj の構成を代表的に示す。列選択信号 CS_{Lj-1} に従って選択されるビット線 (BL_{j-1}) は、選択時、データ信号 WD_{j-1} に従って駆動され、列選択信号 CS_{Lj} にしたがって選択されるビット線 BL_j は、選択時、データ信号ビット WD_j に従って駆動される。列選択信号 CS_{j+1} に従って選択されるビット線 BL_{j+1} は、データ信号 WD_{j+1} に従って駆動される。これらのデータ信号 WD_{j-1} 、 WD_j および WD_{j+1} は、それぞれ、書込データビット D_{j-1} 、 D_j 、および D_{j+1} に基いて生成される。以下の説明においては、多ビットデータを書込む動作を説明するため、内部書込データを、データ信号として参照する。

【 0 1 0 7 】

ビット線ドライブ回路 BDR_Lj は、図 1 0 に示すビットドライブ回路の構成と同様、列選択信号 CS_{Lj} と補の書込データ信号 ZWD_j に従って制御信号 ϕ_{1PL} 生成する $NAND$ 回路 $60L$ と、列選択信号 CS_j と書込データ信号 WD_j に従って制御信号 ϕ_{1NL} を生成する AND 回路 $61N$ と、制御信号 ϕ_{1PL} 、 ϕ_{1NL} 、および後に説明する制御信号 ϕ_{2PL} および ϕ_{2NL} に従ってビット線 BL_j を駆動するビット線電流ドライバ DVL_j を含む。ビット線電流ドライバ DVL_j は、図 1 0 に示す構成と同様、制御信号 ϕ_{1PL} および ϕ_{2PL} をゲートに受け、導通時、ビット線 BL_j へ電流を供給する P チャネル MIS トランジスタ $P1$ および $P2$ と、制御信号 ϕ_{1NL} および ϕ_{2NL} をそれぞれのゲートに受け、導通時、ビット線 BL_j を放電する N チャネル MIS トランジスタ $N1$ および $N2$ を含む。制御信号 ϕ_{1PL} および ϕ_{1NL} に従ってビット線 BL_j へのデータ書込電流が駆動される。

【0108】

ビット線ドライブ回路BDRL_jは、さらに、列選択信号CSL_{j-1}と書込データ信号WD_{j-1}を受けるAND回路70Lと、列選択信号CSL_{j+1}と書込データ信号WD_{j+1}を受けるAND回路71Lと、AND回路70Lおよび71Lの出力信号を受けて制御信号φ2PLを生成するNOR回路72Lと、列選択信号CSL_{j-1}と補の書込データ信号ZWD_{j-1}とを受けるAND回路73Lと、列選択信号CSL_{j+1}および補の書込データ信号ZWD_{j+1}とを受けるAND回路74Lと、AND回路73Lおよび74Lの出力信号を受けて制御信号φ2NLを生成するOR回路75Lを含む。

【0109】

書込データ信号WD_{j-1}およびZWD_{j-1}は互いに相補なデータ信号であり、データ書込時、列選択信号CSL_{j-1}が選択するビット線BL_{j-1}に対する書込データを示す。書込データ信号WD_{j+1}およびZWD_{j+1}は互いに相補なデータ信号であり、列選択信号CSL_{j+1}が指定するビット線BL_{j+1}に対する書込データを示す。これらのデータ信号は、図示しない書込ドライバまたはバッファ回路により、対応の書込データビットに基いてそれぞれ生成される。

【0110】

各ビット線に伝達されるデータビットについては、ビット線と書込データビットとの対応関係に応じて適当に定められる。

【0111】

ビット線ドライブ回路BDRR_jは、図10に示す構成と同様、列選択信号CSL_jと書込データ信号WD_jを受けて制御信号φ1PRを生成するNAND回路60Rと、列選択信号CSL_jと補の書込データ信号ZWD_jを受けて制御信号φ1NRを生成するNAND回路61Rと、制御信号φ1PR、φ1NRおよび後に説明する制御信号φ2PRおよびφ2NRに従ってビット線BL_jを駆動するビット線電流ドライバDVR_jを含む。このビット線電流ドライバDVR_jは、図10に示す構成と同様の構成を有し、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 1 1 2 】

ビット線ドライブ回路 $BDRR_j$ は、さらに、列選択信号 CSL_{j-1} および補の書込データ信号 ZWD_{j-1} を受ける AND 回路 70R と、列選択信号 CSL_{j+1} および補の書込データ信号 ZWD_{j+1} を受ける AND 回路 71R と、これらの AND 回路 70R および 71R の出力信号を受けて制御信号 $\phi 2PR$ を生成する NOR 回路 72R と、列選択信号 CSL_{j-1} および書込データ信号 WD_{j-1} を受ける AND 回路 73R と、列選択信号 CSL_{j+1} と書込データ信号 WD_{j+1} とを受ける AND 回路 74R と、AND 回路 73R および 74R の出力信号を受けて制御信号 $\phi 2NR$ を生成する OR 回路 75R を含む。

【 0 1 1 3 】

ビット線ドライブ回路 $BDRL_j$ および $BDRR_j$ のビット線 BL_j 選択時の動作は、図 10 に示すビット線ドライブ回路の動作と同じである。すなわち、ビット線 BL_j 選択時には、列選択信号 CSL_{j-1} および CSL_{j+1} はともに非選択状態であり、制御信号 ϕPL および ϕPR がともに H レベル、制御信号 $\phi 2NL$ および $\phi 2NR$ はともに L レベルとなり、ビット線電流ドライバ DVL_j および DVR_j は、制御信号 $\phi 1PL$ および $\phi 1NL$ および $\phi 1PR$ および $\phi 1NR$ に従ってビット線 BL_j を駆動する。このビット線 BL_j の駆動時のデータ書込電流の方向は、書込データ信号 WD_j および ZWD_j に従って設定され、このビット線 BL_j へのデータ書込電流 $I_W(BL)$ を供給する際の動作は図 10 に示すビット線ドライブ回路の動作と同じであり、その詳細説明は省略する。

【 0 1 1 4 】

図 17 は、隣接ビット線選択時の制御信号 $\phi 2PL$ 、 $\phi 2NL$ 、 $\phi 2PR$ および $\phi 2NR$ の論理レベルを一例にして示す図である。以下、隣接ビット線選択時のビット線ドライブ回路 $BDRL_j$ および $BDRR_j$ の動作について、図 17 を参照して説明する。

【 0 1 1 5 】

(1) 隣接ビット線に対する列選択信号 CSL_{j-1} が選択されたとき、この列選択信号 CSL_{j-1} が指定するビット線 BL_{j-1} に対する書込データ信号

の論理レベルに従って、制御信号の様態が異なる。

【0116】

(i) 書込データ信号 WD_{j-1} がHレベルのとき、ビット線ドライバ回路 BDR_{Lj} においては、AND回路70Lの出力信号がHレベルとなり、応じて、NOR回路72Lからの制御信号 $\phi 2PL$ がLレベルとなる。列選択信号 CS_{Lj+1} は非選択状態であり、AND回路71Lおよび74Lの出力信号はLレベルである。また補の書込データ信号 ZWD_{j-1} がLレベルとなるため、AND回路73Lの出力信号はLレベルであり、同様、OR回路75Lからの制御信号 $\phi 2NL$ がLレベルとなる。したがって、ビット線電流ドライバ DVL_j においては、MISトランジスタP2がオン状態、MISトランジスタN2がオフ状態となる。列選択信号 CS_{Lj} は非選択状態であり、MISトランジスタP1およびN1はともにオフ状態である。従って、ビット線 BL_j へキャンセル電流がMISトランジスタP2を介してビット線電流ドライバ DVL_j から供給される。

【0117】

ビット線ドライバ回路 BDR_{Rj} においては、AND回路70Rおよび71Rの出力信号はともにLレベルとなり、応じてNOR回路72Rからの制御信号 $\phi 2PR$ はHレベルとなる。また、AND回路73Rの出力信号はHレベル、AND回路74Rの出力信号がLレベルであり、OR回路75Rからの制御信号 $\phi 2NR$ がHレベルとなる。したがってビット線電流ドライバ DVR_j においては、MISトランジスタP2がオフ状態、MISトランジスタN2がオン状態となり、ビット線 BL_j の電流を放電する。したがって、ビット線 BL_j においては、ビット線電流ドライバ DVL_j からビット線電流ドライバ DVR_j に向かってキャンセル電流が流れる。

【0118】

(ii) 書込データ WD_{j-1} がLレベルのときには、ビット線ドライバ回路 BDR_{Lj} においては、AND回路70Lおよび71Lの出力信号がともにLレベルであり、NOR回路72Lからの制御信号 $\phi 2PL$ がHレベルとなる。また、補の書込データ信号 ZWD_{j-1} がHレベルとなるため、AND回路73Lの出力信号がHレベルとなり、OR回路75Lからの制御信号 $\phi 2NL$ がHレベル

となる。ビット線電流ドライバDVL_jにおいては、MISトランジスタP₂がオフ状態、MISトランジスタN₂がオン状態となる。MISトランジスタP₁およびN₁は、隣接列選択時においてはともにオフ状態にある。

【0119】

ビット線ドライブ回路BDRR_jにおいては、逆に、AND回路70Rの出力信号がHレベルとなり、応じてNOR回路72Rからの制御信号 $\phi 2PR$ がLレベルとなる。さらに、AND回路73Rおよび74Rは出力信号はともにLレベルであり、応じて、OR回路75Rからの信号 $\phi 2NR$ がLレベルとなる。したがって、ビット線電流ドライバDVR_jにおいては、MISトランジスタP₂がオン状態、MISトランジスタN₂がオフ状態となる。したがって、この状態においては、ビット線電流ドライバDVR_jからビット線電流ドライバDVL_jに向かってビット線BL_jを介してキャンセル電流が流れる。

【0120】

(2) 列選択信号CSL_{j+1}の選択時のビット線ドライブ回路BDR_jおよびBDRR_jの動作は、列選択信号CSL_{j-1}選択時と同じである。書込データ信号WD_{j+1}およびZWD_{j+1}に従って制御信号 $\phi 2PL$ 、 $\phi 2NL$ 、 $\phi 2PR$ および $\phi 2NR$ の論理レベルが決定される。

【0121】

すなわち、書込データ信号WD_{j+1}がHレベルのときには、制御信号 $\phi 2PL$ および $\phi 2NL$ はともにLレベルとなり、また、制御信号 $\phi 2PR$ および $\phi 2NR$ がともにHレベルとなり、ビット線BL_jにおいては、ビット線電流ドライバDVL_jからビット線電流ドライバDVR_jに向かってキャンセル電流が流れる。

【0122】

書込データ信号WD_{j+1}がLレベルのときには、制御信号 $\phi 2PL$ および $\phi 2NL$ がともにHレベルとなり、また制御信号 $\phi 2PR$ および $\phi 2NR$ がともにLレベルとなる。この状態においては、ビット線電流ドライバDVR_jからビット線電流ドライバDVL_jに向かってビット線DB_jを介してキャンセル電流が流れる。

【 0 1 2 3 】

したがって、複数本のビット線を間においてビット線が同時に選択状態へ駆動される場合においても、その選択ビット線に隣接するビット線に、隣接選択ビット線の書込データに応じたキャンセル電流を流すことができ、磁場干渉を確実に抑制することができる。

【 0 1 2 4 】

以上のように、この発明の実施の形態 3 に従えば、複数のビット線を間においてビット線を同時に選択状態へ駆動し、かつ選択ビット線に隣接するビット線においては、キャンセル電流を流すように構成しており、選択および非選択ビット線における磁場干渉を確実に抑制して、正確なデータの書込を行なうことができる。

【 0 1 2 5 】

〔実施の形態 4〕

図 1 8 は、この発明の実施の形態 4 に従うビット線の電流を概略的に示す図である。図 1 8 においては、ビット線 B L 1 - B L 7 を代表的に示す。ビット線 B L 1 - B L 7 の一方側において、ビット線電流ドライバ D V L 1 - D V L 7 が設けられ、ビット線 B L 1 - B L 7 の他方側において、ビット線電流ドライバ D V R 1 - D V R 7 が設けられる。

【 0 1 2 6 】

この図 1 8 に示す配置においては、ビット線を 1 本間において 2 つのビット線が同時に選択される。図 1 8 においては、一例として、ビット線 B L 3 および B L 5 が同時に選択される場合を一例として示す。この 1 つのビット線を間において 2 つのビット線が同時に選択される構成は、たとえば図 1 4 に示すビット線と内部書込データ線の接続を用いることにより実現される。書込データは、2 ビットデータであってもよく、また、4 ビットデータであってもよい。また、さらに 8 ビットまたは 1 6 ビットデータであってもよい。

【 0 1 2 7 】

この図 1 8 に示す配置の場合、同時に選択されるビット線（たとえばビット線 B L 3 および B L 5）の間のビット線 B L 4 においては、これらのビット線 B L

3 および B L 5 を流れる電流に応じてその駆動電流量が調整される。すなわち、ビット線 B L 3 および B L 5 に逆データが書込まれる場合、すなわち逆方向にデータ書込電流が流れる場合には、ビット線 B L 4 にはキャンセル電流は流さない。一方、ビット線 B L 3 および B L 5 に同一方向にデータ書込電流 $I W (B L)$ が流れる場合には、ビット線 B L 4 には、倍の大きさのキャンセル電流 $-2 \cdot \Delta I W (B L)$ を、データ書込電流と逆方向に流す。

【 0 1 2 8 】

ビット線 B L 2 および B L 6 は、それぞれ、ビット線 B L 3 および B L 5 を流れるデータ書込電流に応じてキャンセル電流 $-\Delta I W (B L)$ を逆方向に流す。

【 0 1 2 9 】

したがって、1本のビット線を間に置いた2本のビット線が同時に選択される場合、その間のビット線 (B L 4) に対し、キャンセル電流を選択的に駆動することにより、正確に、各非選択ビット線に対しキャンセル電流を生じさせ、磁場干渉を抑制することができる。

【 0 1 3 0 】

図 1 9 は、この発明の実施の形態 4 に従うビット線ドライブ回路の構成の一例を示す図である。図 1 9 においては、ビット線 B L j に対応して配置されるビット線ドライブ回路 B D R L j の構成を示す。ビット線と列選択信号および書込信号との対応関係は、図 1 6 に示す実施の形態 3 の場合と同様である。

【 0 1 3 1 】

ビット線ドライブ回路 B D R L j は、列選択信号 C S L j と補のデータ信号 $\bar{W} D j$ に従って制御信号 $\phi 1 P L$ を生成する N A N D 回路 6 0 L と、列選択信号 C S L j と書込データ信号 W D j を受けて制御信号 $\phi 1 N L$ を生成する A N D 回路 6 1 L と、これらの制御信号 $\phi 1 P L$ および $\phi 1 N L$ に従ってビット線 B L j へデータ書込電流を供給するビット線電流ドライバ D V L j を含む。このビット線電流ドライバ D V L j は、制御信号 $\phi 1 P L$ および $\phi 1 N L$ に従って選択的に導通する M I S トランジスタ P 1 および M 1 を含む。これらの制御信号 $\phi 1 P L$ および $\phi 1 N L$ と M I S トランジスタ P 1 および N 1 の導通／非導通の関係は、先の図 1 0 に示すビット線電流ドライバの構成と同じである。

【 0 1 3 2 】

ビット線電流ドライバ $DV L_j$ は、データ書込電流駆動用の MIS トランジスタ P_1 および N_1 に加えて、さらに、隣接ビット線選択時にビット線 BL_j にキャンセル電流を供給するために、電源ノードとビット線 BL_j の間に並列に接続される P チャンネル MIS トランジスタ P_3 および P_4 と、ビット線 BL_j と接地ノードの間に並列に接続される N チャンネル MIS トランジスタ N_3 および N_4 を含む。 P チャンネル MIS トランジスタ P_3 および P_4 のゲートへは、それぞれ、制御信号 $\phi 3 PL$ および $\phi 4 PL$ が与えられ、 MIS トランジスタ N_3 および N_4 のゲートへは、制御信号 $\phi 3 NL$ および $\phi 4 NL$ が与えられる。

【 0 1 3 3 】

MIS トランジスタ P_3 、 P_4 、 N_3 、および N_4 は、それぞれ、導通時、データ書込電流 I_W の 10 から 30 % の電流を駆動する。

【 0 1 3 4 】

ビット線ドライブ回路 $BDRL_j$ は、さらに、列選択信号 CSL_{j-1} および CSL_{j+1} を受ける $NAND$ 回路 $80L$ と、書込データ信号 WD_{j-1} および WD_{j+1} を受ける $EXNOR$ 回路 $81L$ と、 $NAND$ 回路 $80L$ および $EXNOR$ 回路 $81L$ の出力信号を受ける OR 回路 $82L$ と、 OR 回路 $82L$ の出力信号と列選択信号 CSL_{j-1} と書込データ信号 WD_{j-1} を受けて制御信号 $\phi 3 PL$ を生成する $NAND$ 回路 $83L$ と、 OR 回路 $82L$ の出力信号と列選択信号 CSL_{j-1} と補の書込データ信号 ZWD_{j-1} とを受けて制御信号 $\phi 3 NL$ を生成する AND 回路 $84L$ と、 OR 回路 $82L$ の出力信号と列選択信号 CSL_j と書込データ信号 WD_{j+1} を受けて制御信号 $\phi 4 PL$ を生成する $NAND$ 回路 $85L$ と、 OR 回路 $82L$ の出力信号と列選択信号 CSL_{j+1} と補の書込データ信号 ZWD_{j+1} を受けて制御信号 $\phi 4 NL$ を生成する AND 回路 $86L$ を含む。列選択信号 CSL_{j-1} および CSL_{j+1} に従ってそれぞれ選択状態へ駆動されるビット線 BL_{j-1} および BL_{j+1} は、書込データ信号 WD_{j-1} および WD_{j+1} に従って電流が供給される。

【 0 1 3 5 】

図 20 は、図 19 に示すビット線ドライブ回路 $BDRL_j$ の制御信号の論理レ

ベルを真理値表で示す図である。制御信号 $\phi 1 PL$ および $\phi 1 NL$ は、ビット線 BL_j 選択時、書込データ信号 WD_j および ZWD_j に従ってその駆動電流が決定される。したがって、図 20 においては、制御信号 $\phi 1 PL$ および $\phi 1 NL$ は示していない。

【0136】

次に、図 20 を参照して、図 19 に示すビット線ドライブ回路 $BDRL_j$ の動作について簡単に説明する。

【0137】

(1) 列選択信号 CSL_{j-1} および CSL_{j+1} がともに L レベルにあり隣接ビット線がともに非選択状態のときには、NAND 回路 83L からの制御信号 $\phi 3 PL$ および NAND 回路 85L からの制御信号 $\phi 4 PL$ がともに H レベルであり、また AND 回路 84L および 86L からの制御信号 $\phi 3 NL$ および $\phi 4 NL$ がともに L レベルである。したがって、MIS トランジスタ $P3$ 、 $P4$ 、 $N3$ および $N4$ はすべて非導通状態にある。このときには、ビット線ドライブ回路 $BDRL_j$ は、キャンセル電流を駆動しない。

【0138】

(2) 列選択信号 CSL_{j-1} が非選択状態であり、列選択信号 CSL_{j+1} が選択状態 (H レベル) のときには、この列選択信号 CSL_{j+1} に対応する書込データ WD_{j+1} の論理レベルに応じてビット線 BL_j に対するキャンセル電流が決定される。列選択信号 CSL_{j-1} が非選択状態にあるため、制御信号 $\phi 3 PL$ および $\phi 3 NL$ は、それぞれ H レベルおよび L レベルである。列選択信号 CSL_{j+1} のみが選択状態にあるため、NAND 回路 86L の出力信号は H レベルであり、応じて OR 回路 82L の出力信号は H レベルである。

【0139】

(i) 書込データ信号 WD_{j+1} が H レベルのときには、制御信号 $\phi 4 PL$ および $\phi 4 NL$ がともに L レベルとなり、P チャネル MOS トランジスタ $P4$ がオン状態、MIS トランジスタ $N4$ がオフ状態となり、ビット線 BL_j に、キャンセル電流 ΔIW が供給される。この図 20 においては、ビット線電流ドライバ DVL_j からビット線 BL_j に電流が供給される向きを矢印で示す。

【 0 1 4 0 】

(i i) 書込データ信号 $WD_j + 1$ が L レベルのときには、制御信号 $\phi 4 PL$ および $\phi 4 NL$ がともに H レベルとなり、MIS トランジスタ P_4 がオフ状態、MIS トランジスタ N_4 がオン状態となる。したがって、この場合には、ビット線 BL_j からキャンセル電流 ΔIW が引抜かれる。

【 0 1 4 1 】

(3) 列選択信号 CSL_{j-1} が選択状態にあり、列選択信号 CSL_{j+1} が非選択状態のときは、書込データ信号 WD_{j-1} に従ってビット線 BL_j のキャンセル電流が決定される。この場合、列選択信号 CSL_{j+1} 選択時と同様、書込データ信号 WD_{j-1} が H レベルのときには、制御信号 $\phi 3 PL$ および $\phi 3 NL$ がともに H レベルとなり、書込データ信号 WD_{j-1} が L レベルのときには、制御信号 $\phi 3 PL$ および $\phi 3 NL$ が H レベルとなる。この場合、制御信号 $\phi 4 PL$ および $\phi 4 NL$ はともに H レベル L レベルであり、MIS トランジスタ P_4 および N_4 はオフ状態である。したがって、ビット線 BL_j に対するキャンセル電流 ΔIW が、MIS トランジスタ P_3 または N_3 により、図 20 の矢印方向に沿って流れる。

【 0 1 4 2 】

(4) 列選択信号 CSL_{j-1} および CSL_{j+1} がともに選択状態へ駆動された場合、ビット線 BL_j の両側のビット線の書込データの論理レベルの一致／不一致に応じて、そのキャンセル電流の大きさが決定される。列選択信号 CSL_{j-1} および CSL_{j+1} がともに H レベルのときには、NAND 回路 80 L の出力信号が L レベルとなり、OR 回路 82 L がバッファ回路として動作する。

【 0 1 4 3 】

(i) 書込データ信号 WD_{j-1} および WD_{j+1} の論理レベルが互いに異なる場合には、EXNOR 回路 81 L の出力信号が L レベルとなり、応じて OR 回路 82 L の出力信号が L レベルとなる。したがって、この場合には、非選択状態と同様であり、書込データ信号 WD_{j-1} および WD_{j+1} の論理レベルにかかわらず、制御信号 $\phi 3 PL$ および $\phi 4 PL$ が H レベル、制御信号 $\phi 3 NL$ および $\phi 2 NL$ がともに L レベルとなり、MIS トランジスタ P_3 、 P_4 、 N_3 および

N 4 がすべて非導通状態となり、キャンセル電流は流れない。

【 0 1 4 4 】

(i i) 一方、書込データ信号 $WD_j - 1$ および $WD_j + 1$ の論理レベルが一致する場合には、E X N O R 回路 8 1 L の出力信号が H レベルとなり、応じて O R 回路 8 2 L の出力信号が H レベルとなる。書込データ信号 $WD_j - 1$ および $WD_j + 1$ がともに L レベルのときには、制御信号 $\phi 3 P L$ 、 $\phi 3 N L$ 、 $\phi 4 P L$ および $\phi 4 N L$ はすべて H レベルとなる。この場合には、M I S トランジスタ N 3 および N 4 がともにオン状態となり、M I S トランジスタ P 3 および P 4 がともにオフ状態となる。したがって、ビット線 BL_j から、 $2 \cdot \Delta I W$ のキャンセル電流が引抜かれる。一方、書込データ信号 $WD_j - 1$ および $WD_j + 1$ がともに H レベルのときには、制御信号 $\phi 3 P L$ 、 $\phi 3 N L$ 、 $\phi 4 P L$ および $\phi 4 N L$ がすべて L レベルとなり、M I S トランジスタ P 3 および P 4 がともにオン状態、M I S トランジスタ N 3 および N 4 がともにオフ状態となる。したがって、ビット線 BL_j に、 $2 \cdot \Delta I W$ のキャンセル電流が供給される。

【 0 1 4 5 】

したがって、両側の隣接ビット線がともに選択状態へ駆動される場合、その隣接ビット線上に対する書込データに応じてキャンセル電流を 0 または $2 \cdot \Delta I W$ に設定することができ、正確に、磁場干渉を防止することができる。

【 0 1 4 6 】

図 2 1 は、ビット線ドライブ回路 $B D R R_j$ の構成の一例を示す図である。図 2 1 において、ビット線ドライブ回路 $B D R R_j$ は、列選択信号 CSL_j と書込データ信号 WD_j に従って制御信号 $\phi 1 P R$ を生成する N A N D 回路 6 0 R と、列選択信号 CSL_j と補の書込データ信号 $Z R D_j$ を受けて制御信号 $\phi 1 N R$ を生成する N A N D 回路 6 1 R と、制御信号 $\phi 1 P R$ および $\phi 1 N R$ に従ってビット線 BL_j へ書込データ電流を供給するビット線電流ドライバ $D V R_j$ を含む。制御信号 $\phi 1 P R$ および $\phi 1 N R$ によるビット線 BL_j の充放電動作は、図 1 0 に示すビット線電流ドライバの動作と同じである。

【 0 1 4 7 】

ビット線電流ドライバ $D V R_j$ は、さらに、隣接ビット線の書込データに応じ

てビット線 BL_j へキャンセル電流を供給するための P チャンネル MIS トランジスタ P_3 および P_4 と、N チャンネル MIS トランジスタ N_3 および N_4 を含む。P チャンネル MIS トランジスタ P_3 および P_4 が、電源ノードとビット線 BL_j の間に接続され、かつそれぞれのゲートに、制御信号 $\phi_3 PR$ および $\phi_4 PR$ を受ける。ビット線 BL_j と接地ノードの間に、N チャンネル MIS トランジスタ N_3 および N_4 が並列に接続され、それぞれのゲートに、制御信号 $\phi_3 NR$ および $\phi_4 NR$ が与えられる。このビット線電流ドライバ DVR_j の構成は、図 19 に示すビット線電流ドライバ DVL_j の構成と同じである。MIS トランジスタ P_3 、 P_4 、 N_3 および N_4 は、各々、導通時、データ書込電流 I_W の 10 から 30 % 程度の電流を駆動する。

【0148】

このビット線ドライブ回路 $BDRR_j$ は、さらに、列選択信号 CSL_{j-1} および CLS_{j+1} を受ける NAND 回路 80R と、書込データ信号 WD_{j-1} および WD_{j+1} を受ける EXNOR 回路 81R と、NAND 回路 80R の出力信号と EXNOR 回路 81R の出力信号とを受ける OR 回路 82R と、OR 回路 82R の出力信号と列選択信号 CSL_{j-1} と書込データ信号 $ZRDR_1$ を受けて制御信号 $\phi_3 PR$ を生成する NAND 回路 83R と、OR 回路 82R の出力信号と列選択信号 CSL_{j-1} と書込データ信号 WD_{j-1} とを受けて制御信号 $\phi_3 NR$ を生成する AND 回路 84R と、OR 回路 82R の出力信号と列選択信号 CSL_{j+1} と補の書込データ信号 ZWD_{j+1} とを受けて制御信号 $\phi_4 PR$ を生成する NAND 回路 85R と、OR 回路 82R の出力信号と列選択信号 CSL_{j+1} と書込データ信号 WD_{j+1} とを受けて制御信号 $\phi_4 NR$ を生成する AND 回路 86R を含む。

【0149】

キャンセル流を生成する制御信号 $\phi_3 PR$ 、 $\phi_3 NR$ および $\phi_4 PR$ および $\phi_4 NR$ を生成する部分の回路構成は、図 19 に示すビット線ドライブ回路 $BDRR_j$ の対応の部分と同じであり、単に、書込データ信号の相補信号の位置が交換されているだけである。

【0150】

図 2 2 は、図 2 1 に示すビット線ドライブ回路の制御信号の真理値表を示す図である。この図 2 2 に示すように、図 2 1 に示すビット線ドライブ回路 B D R R_jにおいては、図 1 9 に示すビット線ドライブ回路 B D R L_jと書込データ信号 W D_{j-1} および W D_{j+1} のそれぞれ相補信号の位置が交換されており、図 1 9 に示すビット線ドライブ回路とは、そのキャンセル電流を駆動する方向が逆となる。従って、図 2 2 に示す真理値表において、キャンセル電流供給時、書込データ信号 W D_{j-1} または W D_{j+1} の H レベルおよび L レベルを交換することにより、図 2 0 に示す真理値表と同様のキャンセル電流供給動作が実現される。従って、以下においては、簡単にこのビット線ドライブ回路 B D R R_j の動作について簡単に説明する。

【 0 1 5 1 】

列選択信号 C S L_{j-1} および C S L_{j+1} が、ともに選択状態のときには、N A N D 回路 8 0 R の出力信号が L レベルとなる。したがって、書込データ信号 W D_{j-1} および W D_{j+1} の論理レベルが一致する場合には、E X N O R 回路 8 1 R の出力信号が H レベルとなり、書込データ信号 W D_{j-1} および W D_{j+1} の論理レベルに従って、ビット線 B L_j へまたはから $2 \cdot \Delta I W$ の電流が充電または放電される。

【 0 1 5 2 】

一方、書込データ信号 W D_{j-1} および W D_{j+1} の論理レベルが不一致の場合には、E X N O R 回路 8 1 R の出力信号が L レベルとなり、O R 回路 8 2 R の出力信号が L レベルとなる。したがって、制御信号 $\phi 3 P R$ および $\phi 4 P R$ が H レベル、制御信号 $\phi 3 N R$ および $\phi 4 N R$ が L レベルとなり、ビット線電流ドライバ D V R_j において、M I S トランジスタ P 3、N 3、P 4 および N 4 がすべてオフ状態となり、キャンセル電流の充電／放電は行なわれない。

【 0 1 5 3 】

列選択信号 C S L_{j-1} および C S L_{j+1} の一方が選択され、他方が非選択の場合には、選択隣接ビット線に対する書込データ信号にしたがって、M I S トランジスタ P 3 および P 4 の一方または、M I S トランジスタ N 3 および N 4 の一方が導通し、ビット線 B L_j に対して $\Delta I W$ の大きさのキャンセル電流が、デ

ータ書込電流と逆方向に駆動される。

【0154】

列選択信号 $CSL_j - 1$ および $CSL_j + 1$ がともに非選択状態のときには、制御信号 $\phi 3PR$ および $\phi 4PR$ がHレベル、制御信号 $\phi 3NR$ および $\phi 4NR$ がともにLレベルとなり、ビット線電流ドライバ DVR_j においてMISトランジスタ $P3$ 、 $P4$ 、 $N3$ および $N4$ が全て非導通状態となり、ビット線 BL_j に対するキャンセル電流の駆動は行なわれない。

【0155】

したがって、この図19および図21に示すビット線ドライブ回路を各ビット線に対応して配置することにより、間にビット線を1本おいた2本のビット線が同時に選択されてデータの書込が行なわれる場合においても、確実に、磁場干渉を相殺するようにキャンセル電流をビット線 BL_j に流すことができる。

【0156】

なお、この実施の形態4に示す構成においても、書込データのビット数は、2ビットに限定されず、4ビット、および8ビットなどの他のビット数であっても良い。

【0157】

〔実施の形態5〕

図23は、この発明の実施の形態5に従うビット線ドライブ回路の構成を概略的に示す図である。図23においては、ビット線 BL_j に対するビット線ドライブ回路 BDR_j の構成を示す。このビット線ドライブ回路は、ビット線 BL_j の両端のいずれの側に設けられていてもよい。したがって、図23において、このビット線ドライブ回路を、符号 BDR_j で示し、同様、ビット線電流ドライバを符号 DV_j で示す。ビット線ドライブ回路 BDR_j に与えられるデータ D_j 、 D_{j-1} および D_{j+1} は、それぞれ、ビット線 BL_j 、 BL_{j-1} および BL_{j+1} に対して与えられるデータであり、各々、多ビットデータである。すなわち、この図23に示す構成においては、メモリセルには多値データが記憶される。

【0158】

ビット線ドライブ回路 BDR_j は、列選択信号 CSL_j の選択時活性化され、

多ビットデータ D_j をデコードするデータデコーダ 90 と、列選択信号 $CSL_j - 1$ の活性化時活性化され、多ビットデータ D_{j-1} をデコードするデータデコーダ 91 と、列選択信号 $CSL_j + 1$ の活性化時活性化され、多ビットデータ D_{j+1} をデコードするデータデコーダ 92 と、データデコーダ 91 および 92 の出力信号を OR 合成する OR 回路 93 および 94 を含む。

【0159】

データデコーダ 90、91、および 92 は、それぞれ活性化時、与えられたデータをデコードし、そのデコード結果に従って出力信号を生成する。OR 回路 93 および 94 は、多ビット回路であり、制御信号 $\phi 2P < n : 1 >$ および $\phi 2N < n : 1 >$ を、データデコーダ 91 および 92 の出力信号をビット毎合成して生成する。

【0160】

ビット線電流ドライバ DV_j は、電源ノードとビット線 BL_j の間に並列に接続され、それぞれのゲートに、データデコーダ 90 からの制御信号 $\phi 1P < n : 1 >$ を受ける P チャンネル MIS トランジスタ $P1n - P11$ と、ビット線 BL_j と接地ノードの間に並列に接続され、データデコーダ 90 の出力信号 $\phi 1N < n : 1 >$ をそれぞれのゲートに受ける N チャンネル MIS トランジスタ $N1n - N11$ と、電源ノードとビット線 BL_n の間に並列に接続され、それぞれのゲートに、OR 回路 93 の出力信号 $\phi 2P < n : 1 >$ を受ける P チャンネル MIS トランジスタ $P2n - P21$ と、ビット線 BL_j と接地ノードの間に並列に接続され、それぞれのゲートに、OR 回路 94 からの制御信号 $\phi 2N < n : 1 >$ を受ける N チャンネル MIS トランジスタ $N2n - N21$ を含む。

【0161】

MIS トランジスタ $P11 - P1n$ および $N11 - N1n$ により、ビット線 BL_j には、書込データに応じた電流が供給される。MIS トランジスタ $P21 - P2n$ および $N21 - N2n$ により、ビット線 BL_j に、磁場干渉を相殺するためのキャンセル電流が供給される。

【0162】

MIS トランジスタ $P21 - P2n$ のサイズは、MIS トランジスタ $P11 -$

P 1 n のサイズよりも小さくされ（電流駆動力が 1 0 から 3 0 %）また M I S トランジスタ N 2 1 - N 2 n は、M I S トランジスタ N 1 1 - N 1 n よりもサイズが、小さく（たとえば 1 0 から 3 0 % 程度）に設定される。

【 0 1 6 3 】

この図 2 3 に示すビット線ドライブ回路 B D R j の構成の場合、ビット線 B L j の選択時、多ビットデータ D j に従って、M I S トランジスタ P 1 1 - P 1 n および N 1 1 - N 1 n が選択的にオン状態へ駆動され、書込データに応じた書込データ電流が流れる。隣接ビット線選択時においては、その隣接ビット線に伝達されるデータに応じたキャンセル電流が、M I S トランジスタ P 2 1 - P 2 n および N 2 1 - N 2 n を選択的にオン状態へ駆動することにより駆動される。

【 0 1 6 4 】

したがって、この図 2 3 に示すビット線ドライブ回路 B D R j をビット線 B L j の両側に配置することにより、多ビットデータ書込時においても、正確に、磁場干渉を抑制するキャンセル電流を生成することができ、正確な多値データの書込を行なうことができる。

【 0 1 6 5 】

なお、多ビットデータ書込時においては、メモリセルに対する書込磁界の動作点が、図 4 に示すアステロイド特性線において、1 象限当たり互いに磁化容易軸成分の異なる 2 つの動作点を配置すれば、4 値データを格納することが出来る。

【 0 1 6 6 】

また、上述の説明においては、磁気メモリセルとして T M R 素子を利用するメモリセルが説明されている。しかしながら、メモリセルとしては、ビット線と書込ワード線とに電流を流し、それらの誘起する磁界により記憶部の磁化方向を設定してデータを記憶するメモリセルであれば、本発明は適用可能である。

【 0 1 6 7 】

【発明の効果】

以上のように、この発明に従えば、ビット線を書込データに従って駆動するとき、1 本以上のビット線を間においてビット線を選択するまたは隣接ビット線選択時にキャンセル電流を対応のビット線に流すように構成しており、ビット線間

の磁場干渉を確実に抑制することができ、正確にデータの書込を行なうことができる。

【図面の簡単な説明】

【図 1】 この発明に従うメモリセルの電氣的等価回路を示す図である。

【図 2】 この発明に従うメモリセルのデータ読出時の電流経路を概略的に示す図である。

【図 3】 この発明に従うメモリセルのデータ書込時の誘起磁界を概略的に示す図である。

【図 4】 この発明に従うメモリセルの磁気特性を示す図である。

【図 5】 この発明の実施の形態 1 に従う半導体記憶装置のビット線電流および誘起磁界を概略的に示す図である。

【図 6】 この発明の実施の形態 1 におけるリーク磁界およびキャンセル磁界を模式的に示す図である。

【図 7】 この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図 8】 この発明の実施の形態 1 に従う半導体記憶装置の要部の構成およびその動作を概略的に示す図である。

【図 9】 図 8 に示すビット線電流ドライバの構成の一例を示す図である。

【図 1 0】 この発明の実施の形態 1 に従うビット線ドライブ回路の構成の一例を示す図である。

【図 1 1】 図 1 0 に示すビット線ドライブ回路の制御信号の論理を真理値表の形態で示す図である。

【図 1 2】 この発明の実施の形態 2 における選択ビット線の配置を概略的に示す図である。

【図 1 3】 この発明の実施の形態 2 におけるビット線と書込データの対応の一例を示す図である。

【図 1 4】 この発明の実施の形態 2 におけるビット線と書込データの他の対応を示す図である。

【図 1 5】 この発明の実施の形態 3 に従う半導体記憶装置の要部の構成を

概略的に示す図である。

【図 1 6】 この発明の実施の形態 3 に従うビット線ドライブ回路の構成の一例を示す図である。

【図 1 7】 図 1 6 に示すビット線ドライブ回路の制御信号の論理を真理値表で示す図である。

【図 1 8】 この発明の実施の形態 4 に従う半導体記憶装置の要部の構成およびビット線電流を概略的に示す図である。

【図 1 9】 この発明の実施の形態 4 における右側ビット線ドライブ回路の構成の一例を示す図である。

【図 2 0】 図 1 9 に示すビット線ドライブ回路の制御信号の論理を真理値表で示す図である。

【図 2 1】 この発明の実施の形態 4 における左側ビット線ドライブ回路の構成の一例を示す図である。

【図 2 2】 図 2 1 に示すビット線ドライブ回路の制御信号の論理を真理値表で示す図である。

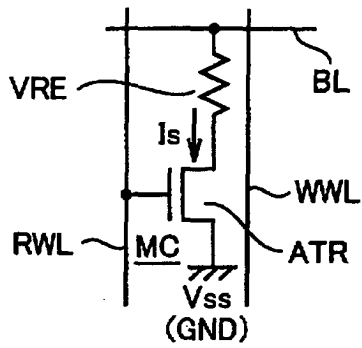
【図 2 3】 この発明の実施の形態 5 に従うビット線ドライブ回路の構成を概略的に示す図である。

【符号の説明】

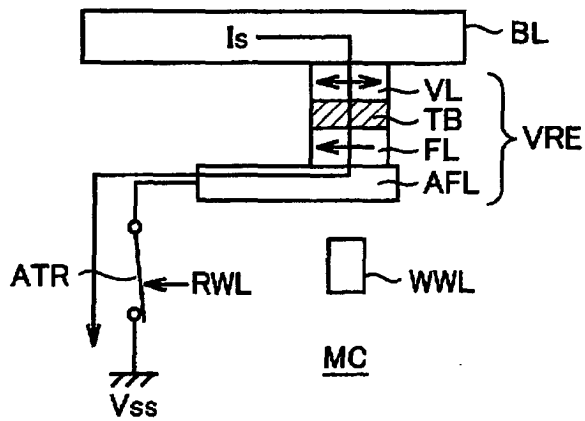
B L, B L a - B L d, B L 0 - B L 7, B L j ビット線、B D R L c, B D R R c, B D R L d, B D R R d, B D R L 0 - B D R L 7, B D R R 0 - B D R R 7, B D R L j, B D R R j, B D R j ビット線ドライブ回路、5 0 L, 5 0 R 書込制御回路、D V L 1 - D V L 7, D V R 1 - D V R 7, D V L j, D V R j, D V j ビット線電流ドライバ、9 0 - 9 2 データデコーダ、9 3, 9 4 O R 回路、P 1 1 - P 1 n, P 2 1 - P 2 n P チャネル M I S トランジスタ、N 1 1 - N 1 n, N 2 1 - N 2 n N チャネル M I S トランジスタ。

【書類名】 図面

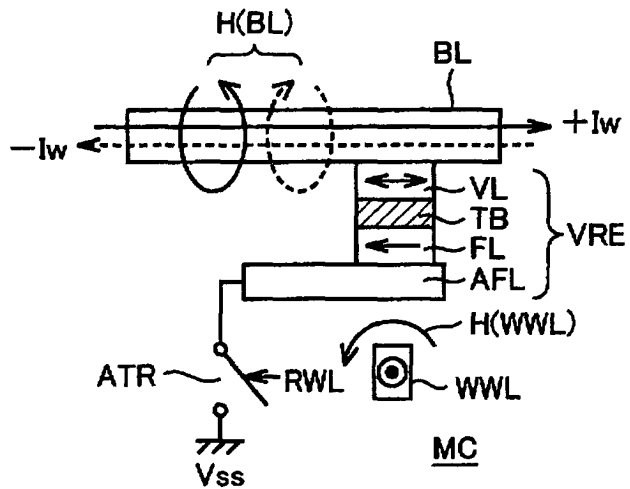
【図 1】



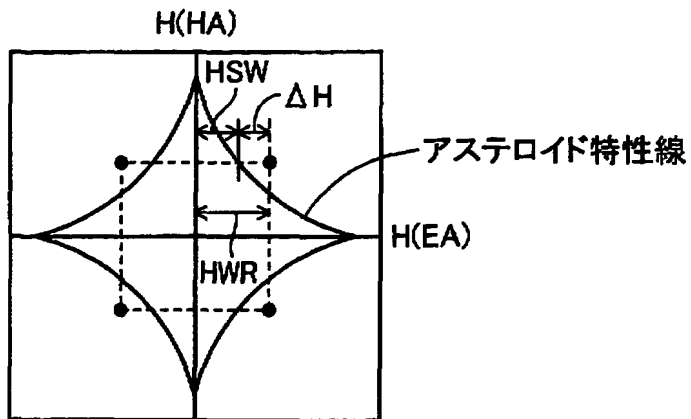
【図 2】



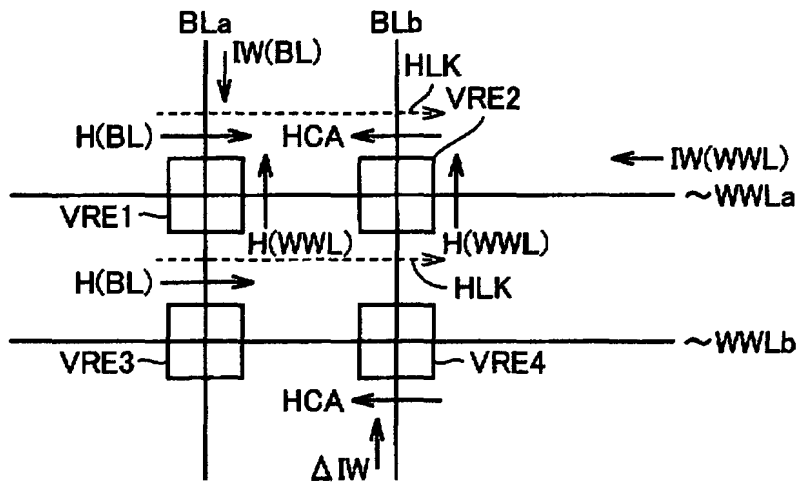
【図 3】



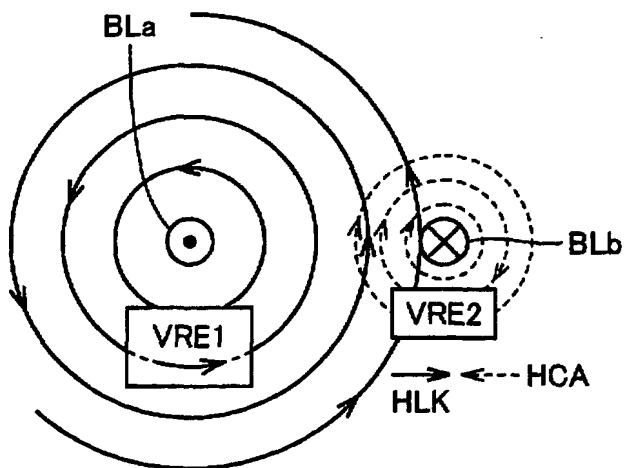
【図 4】



【図 5】

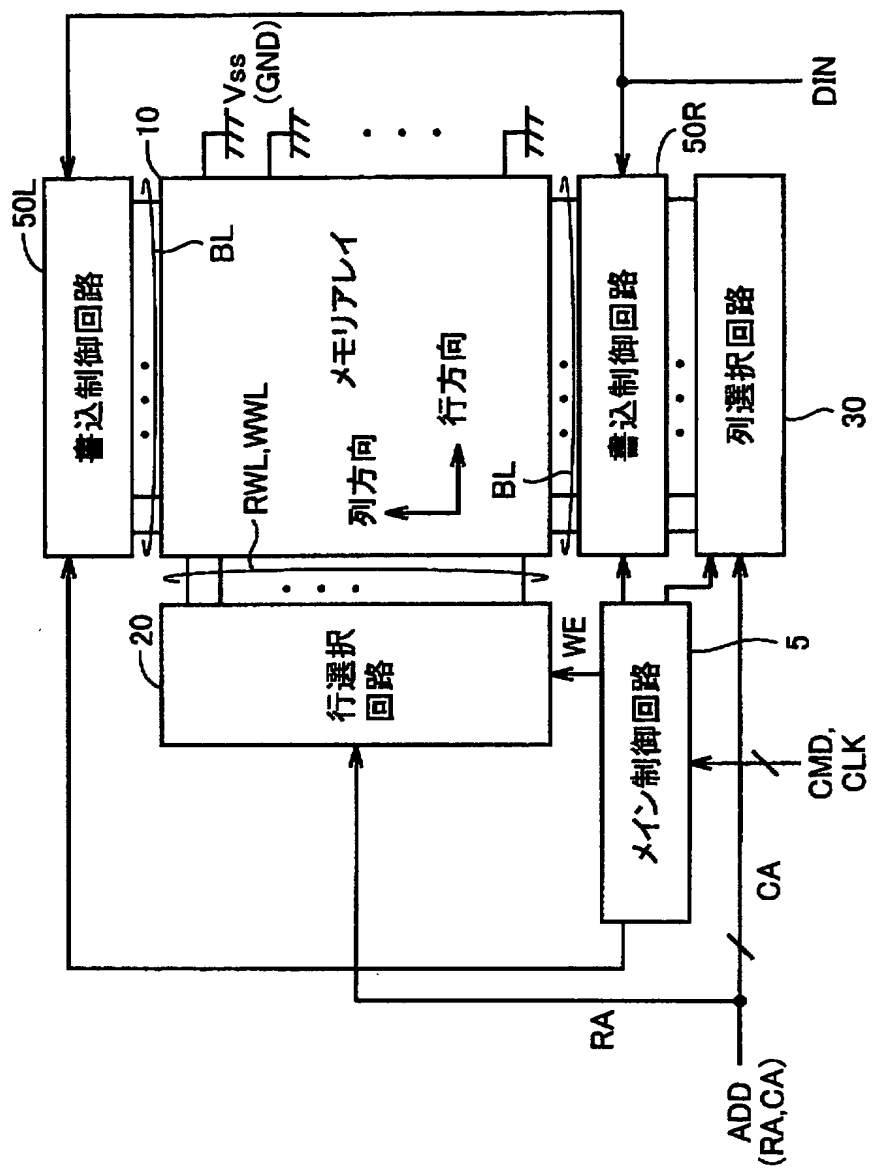


【図 6】

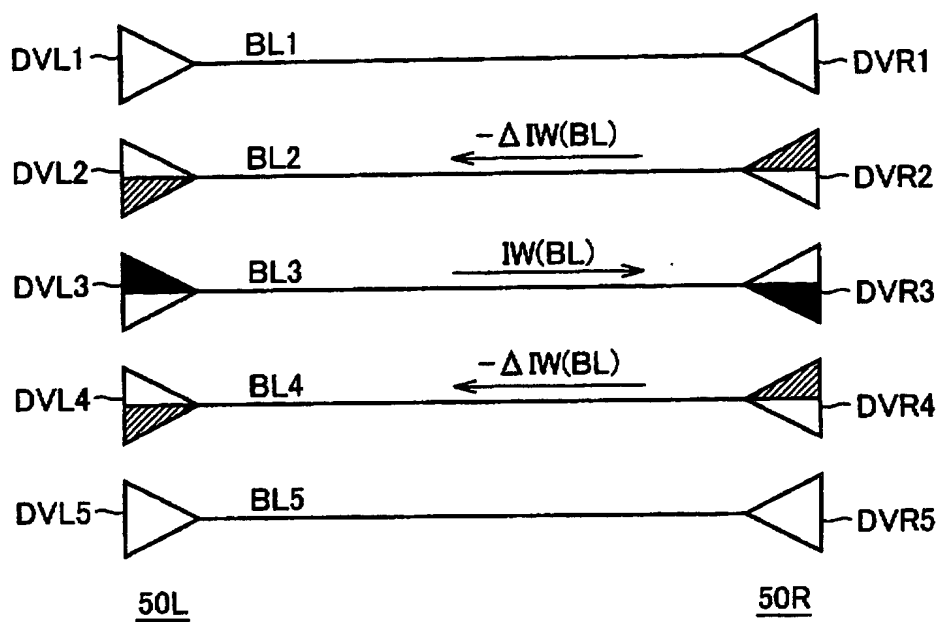


【図 7】

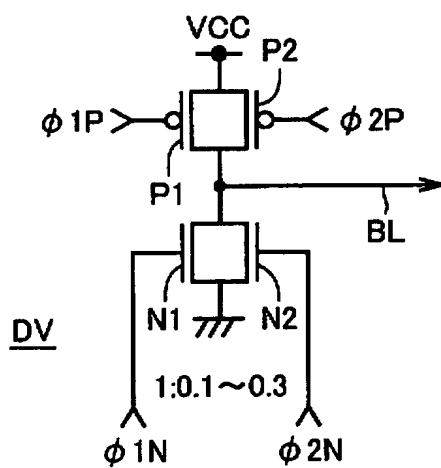
1



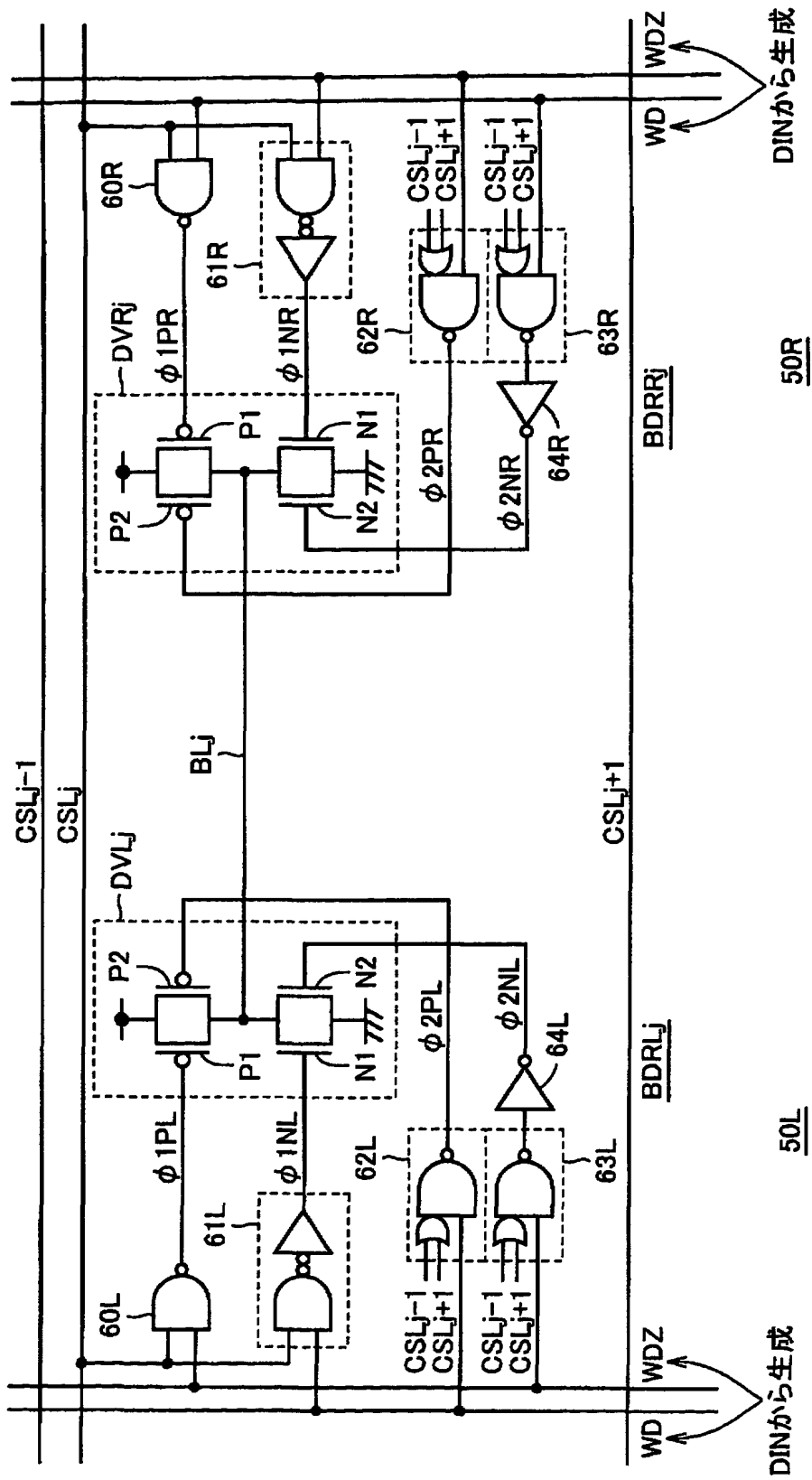
【图 8】



【图 9】



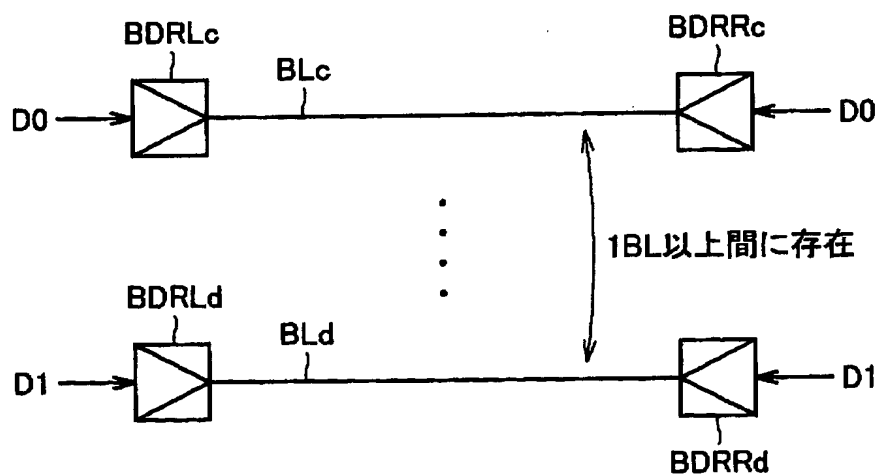
【図10】



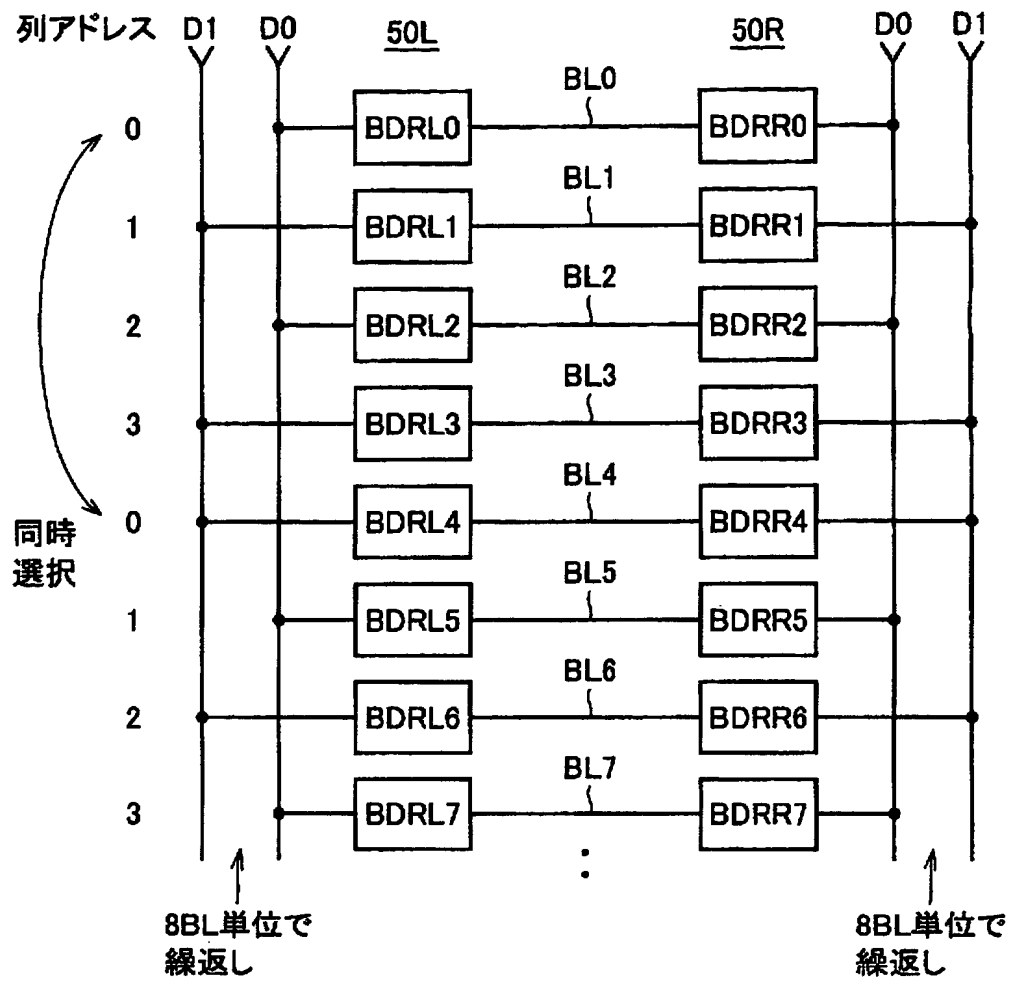
【図 1 1】

	非選択	WD=H ("0" 込)		WD=L ("1" 書込)	
		BLj 選択	隣接 BL選択	BLj 選択	隣接 BL選択
$\phi 1PL$	H	H	H	L	H
$\phi 1NL$	L	H	L	L	L
$\phi 2PL$	H	H	L	H	H
$\phi 2NL$	L	L	L	L	H
$\phi 1PR$	H	L	H	H	H
$\phi 1NR$	L	L	L	H	L
$\phi 2PR$	H	H	H	H	L
$\phi 2NR$	L	L	H	L	L
BLjの 電流方向	X	L←R	L→R	L→R	L←R

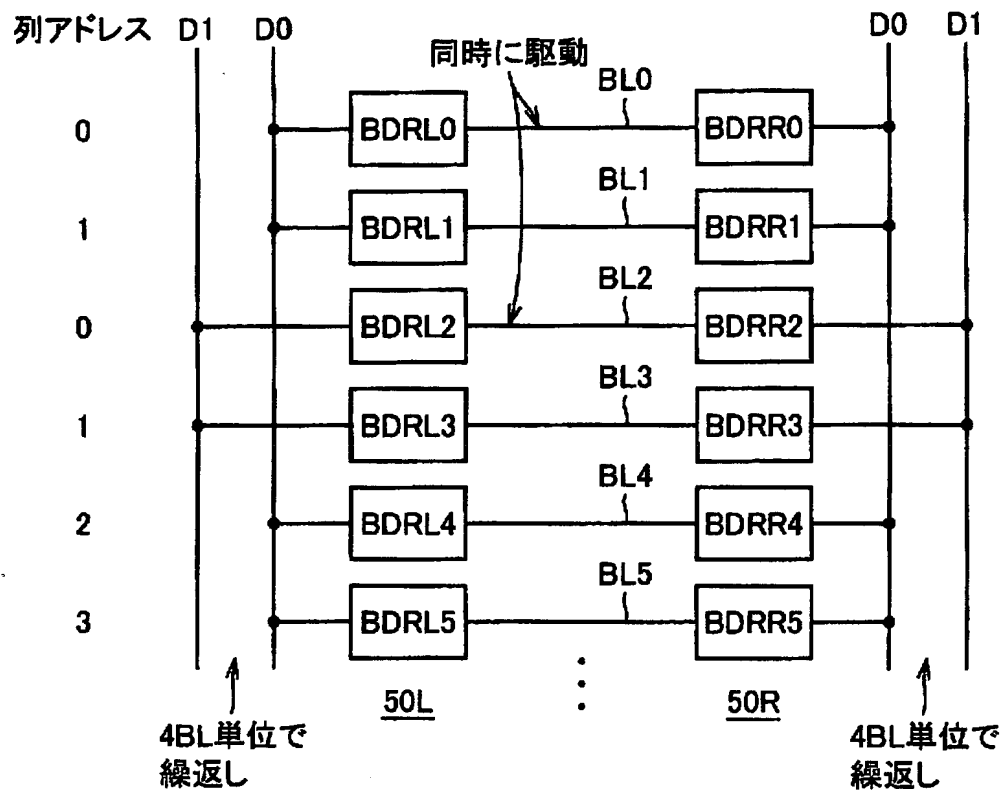
【図 1 2】



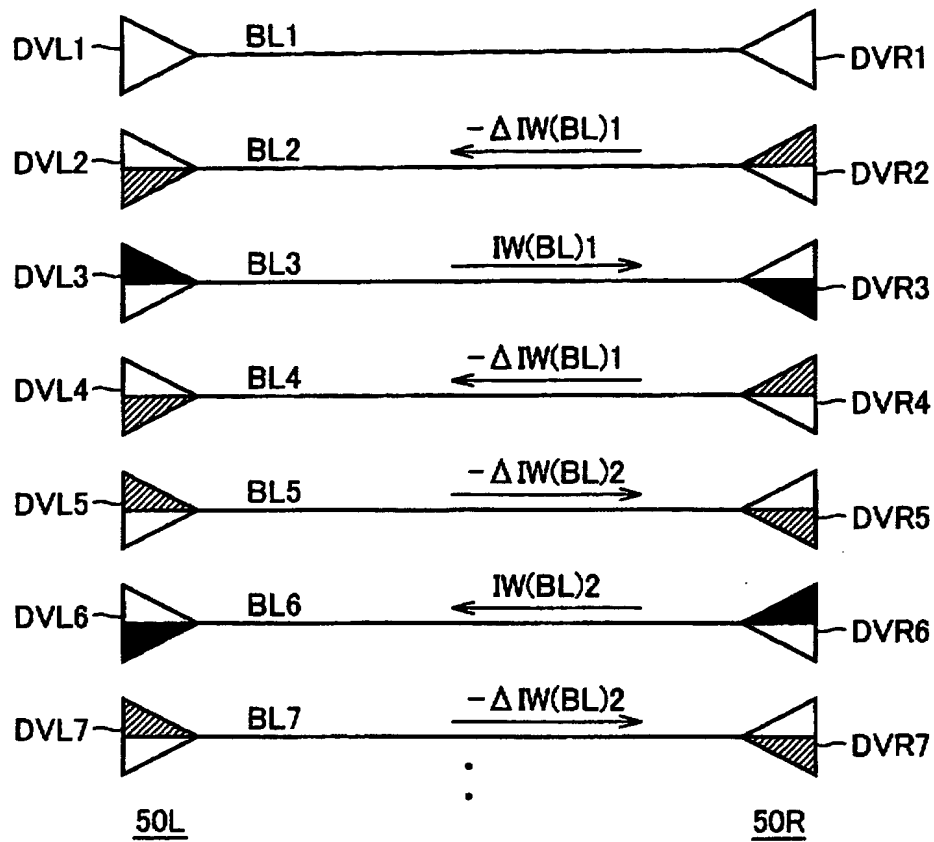
【図 13】



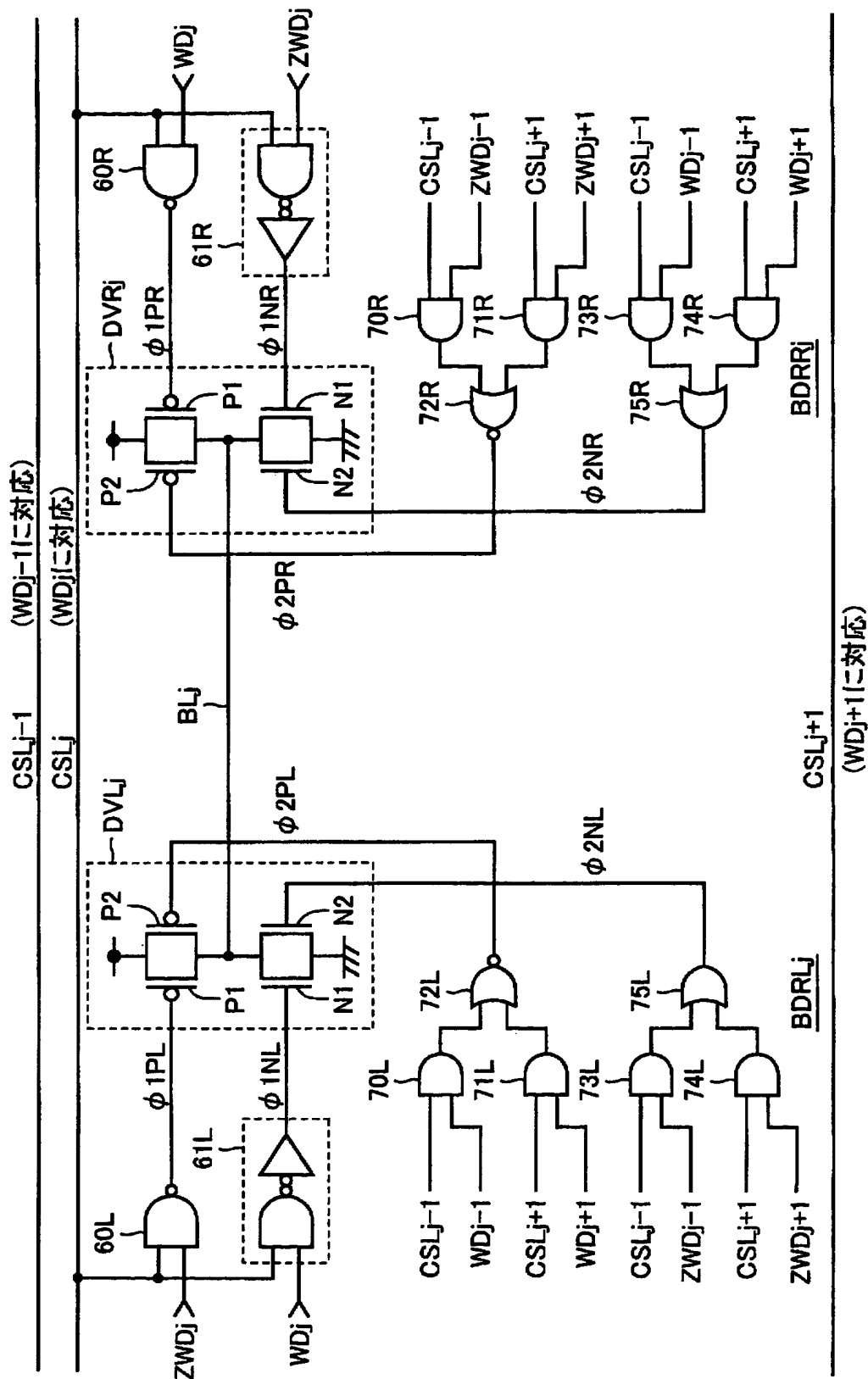
【図 1 4】



【図 1 5】



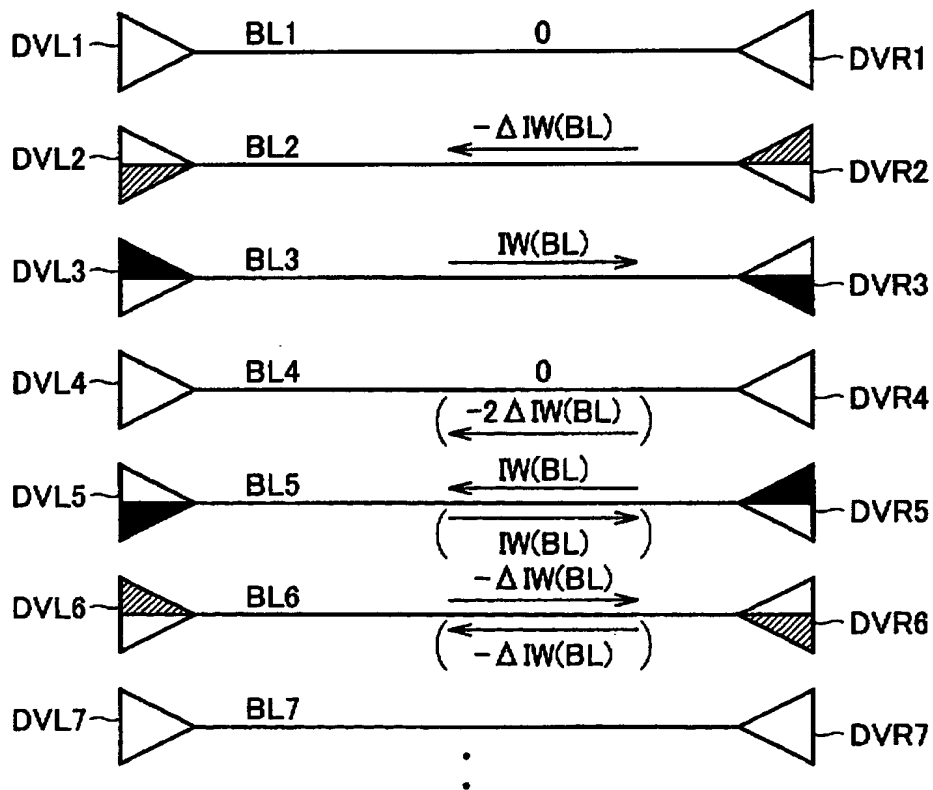
【図 16】



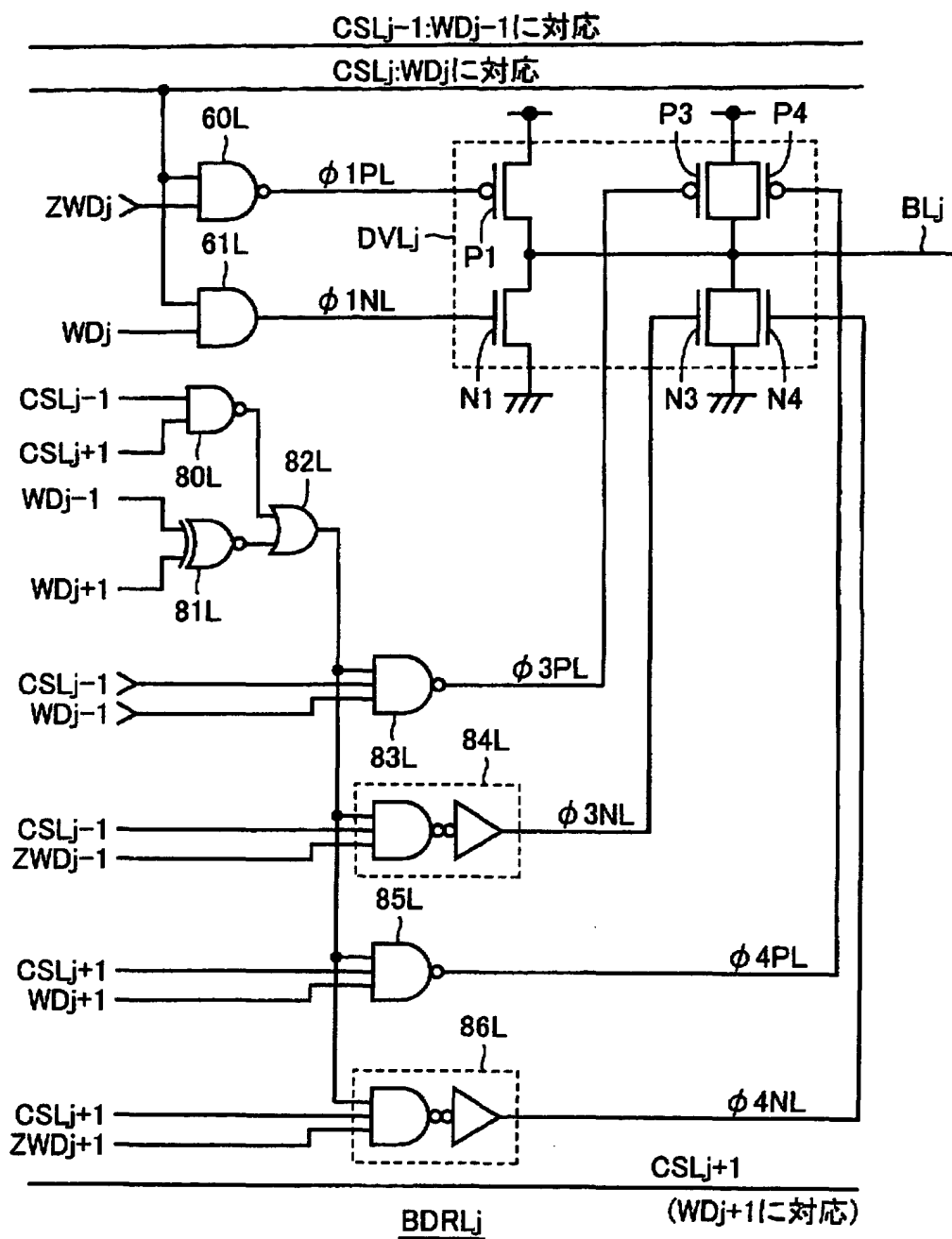
【図 17】

	非選択	CSLj-1選択		CSLj+1選択	
		WDj-1 =H	WDj-1 =L	WDj+1 =H	WDj+1 =L
$\phi 2PL$	H	L	H	L	H
$\phi 2NL$	L	L	H	L	H
$\phi 2PR$	H	H	L	H	L
$\phi 2NR$	L	H	L	H	L
BLjの 電流方向	X	L→R	L←R	L→R	L←R

【図 18】



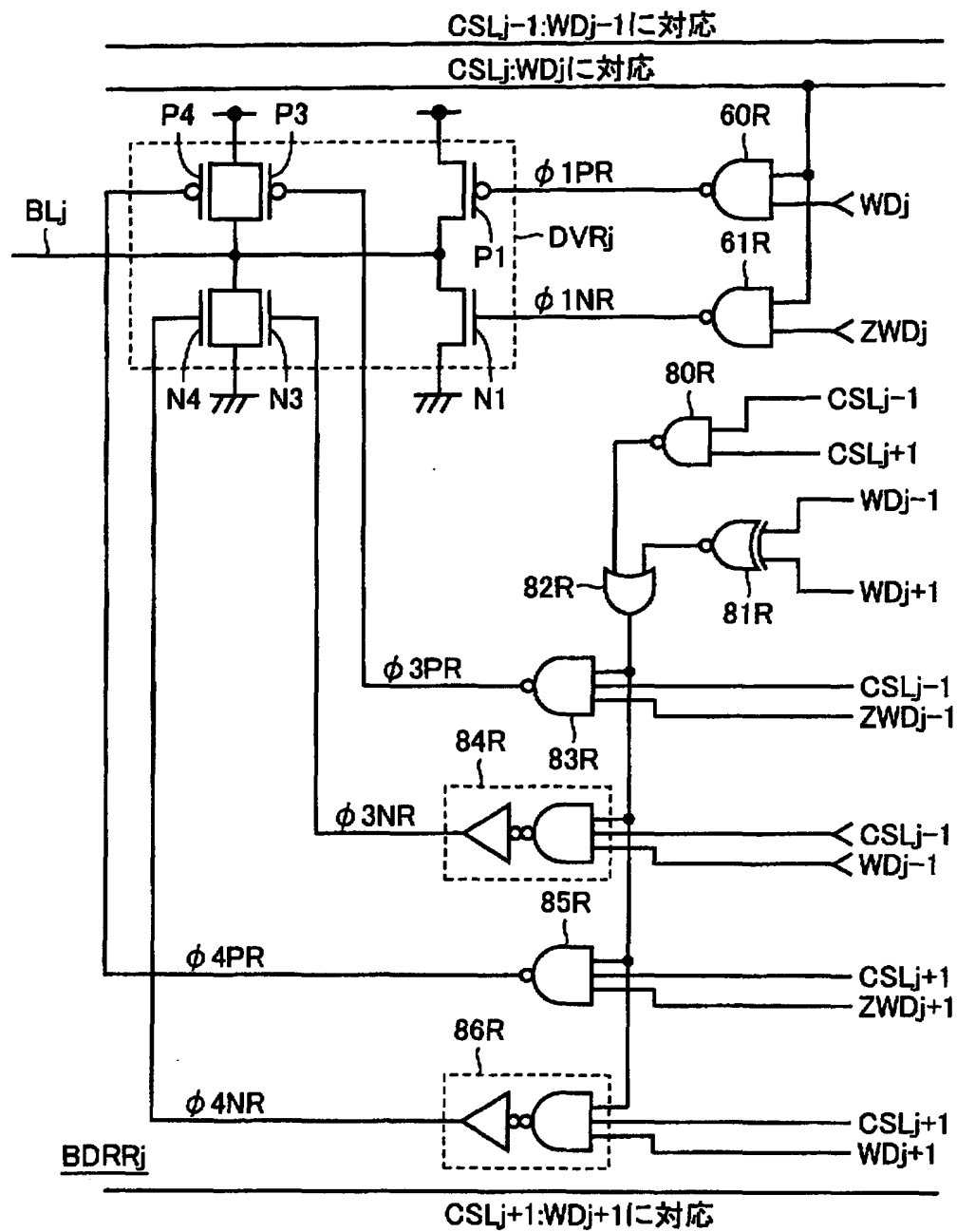
【図 19】



【図 2 0】

CSLj-1	CSLj+1	WDj-1	WDj+1	ϕ 3PL	ϕ 3NL	ϕ 4PL	ϕ 4NL	BLj電流
L	L	-	-	H	L	H	L	0
L	H	-	H	H	L	L	L	$\Delta IW \uparrow$
L	H	-	L	H	L	H	H	$\Delta IW \downarrow$
H	L	L	-	H	H	H	L	$\Delta IW \downarrow$
H	L	H	-	L	L	H	L	$\Delta IW \uparrow$
H	H	L	L	H	H	H	H	$2 \cdot \Delta IW \downarrow$
H	H	L	H	H	L	H	L	0
H	H	H	L	H	L	H	L	0
H	H	H	H	L	L	L	L	$2 \cdot \Delta IW \uparrow$

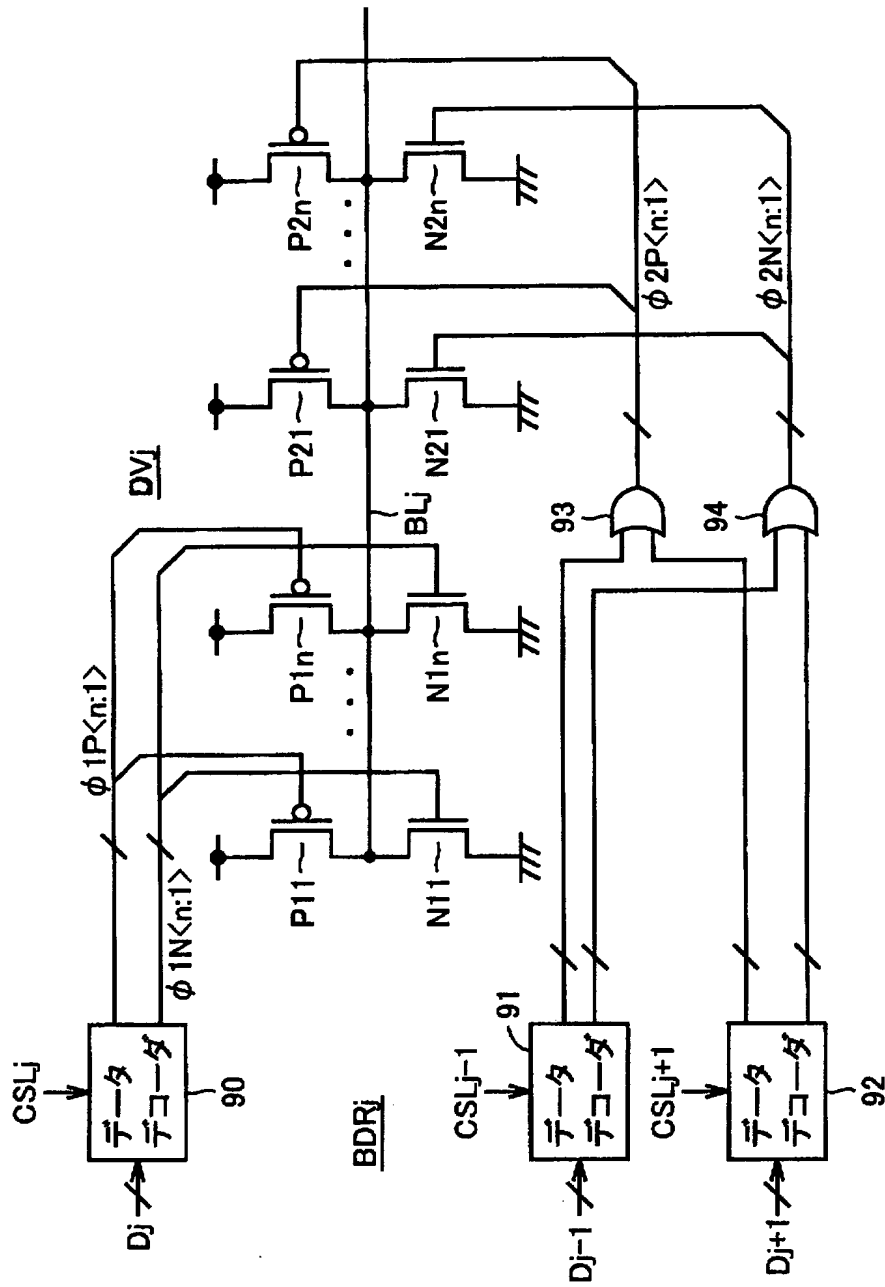
【図 21】



【図 2 2】

CSLj-1	CSLj+1	WDj-1	WDj+1	ϕ 3PR	ϕ 3NR	ϕ 4PR	ϕ 4NR	BLj電流
L	L	-	-	H	L	H	L	0
L	H	-	H	H	L	H	H	$\Delta IW \nearrow$
L	H	-	L	H	L	L	L	$\Delta IW \searrow$
H	L	L	-	L	L	H	L	$\Delta IW \searrow$
H	L	H	-	H	H	H	L	$\Delta IW \nearrow$
H	H	L	L	L	L	L	L	$2 \cdot \Delta IW \searrow$
H	H	L	H	H	L	H	L	0
H	H	H	L	H	L	H	L	0
H	H	H	H	H	H	H	H	$2 \cdot \Delta IW \nearrow$

【図 23】



【書類名】 要約書

【要約】

【課題】 磁気半導体記憶装置において隣接列のメモリセル間の磁場干渉を抑制する。

【解決手段】 データ書込時、選択ビット線（ BL_3 ）に対するデータ書込電流（ $I_W(BL)$ ）と逆方向に、このデータ書込電流の誘起磁界をキャンセルするようなキャンセル電流（ $-\Delta I_W(BL)$ ）を選択ビット線と隣接するビット線（ BL_2 ， BL_4 ）に流す。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社